

EDGAR MAURICIO CAMACHO GALEANO

**REFERÊNCIA DE CORRENTE CMOS
PARA APLICAÇÕES DE
ULTRABAIXO CONSUMO DE POTÊNCIA**

FLORIANÓPOLIS

2004

UNIVERSIDADE FEDERAL DE SANTA CATARINA
PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

**REFERÊNCIA DE CORRENTE CMOS
PARA APLICAÇÕES DE
ULTRABAIXO CONSUMO DE POTÊNCIA**

TESE SUBMETIDA À
UNIVERSIDADE FEDERAL DE SANTA CATARINA
COMO PARTE DOS REQUISITOS PARA A
OBTENÇÃO DO GRAU DE
MESTRE EM ENGENHARIA ELÉTRICA

EDGAR MAURICIO CAMACHO GALEANO

FLORIANÓPOLIS, MARÇO DE 2004.

**REFERÊNCIA DE CORRENTE CMOS
PARA APLICAÇÕES DE ULTRABAIXO CONSUMO DE POTÊNCIA**

CANDIDATO: EDGAR MAURICIO CAMACHO GALEANO

“Esta dissertação foi julgada adequada para obtenção do título de Mestre em Engenharia Elétrica, Área de Concentração em Circuitos e Sistemas Integrados, e aprovada em sua forma final pelo programa de Pós Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina”

Prof. MÁRCIO CHEREM SCHNEIDER, Dr.
ORIENTADOR

Prof. Jefferson Luiz Brum Marques, Dr.
COORDENADOR DO CURSO DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

BANCA EXAMINADORA:

Prof. MÁRCIO CHEREM SCHNEIDER, Dr.
Presidente

Prof. CARLOS GALUP MONTORO, Dr.

Prof LUIS CLÉBER C. MARQUES, Dr.

FELIPE CLAYTON , Eng. BSTC Motorola.

A mis padres y Jenny Patricia,
Por su infinito amor y sacrificios.

AGRADECIMENTOS

À CAPES e ao CNPq pelo suporte financeiro para a realização deste curso.

Aos Professores, Márcio Cherem Schneider e Carlos Galup Montoro. Por me orientar e participar neste trabalho de grande importância na minha formação.

Ao Engenheiro Alfredo Olmos por ser referência de superação.

Aos meus amigos e colegas de Florianópolis pelos bons momentos que compartilhamos nesta encantadora ilha.

Sumário

Sumário	i
Lista de Símbolos	ii
Lista de abreviações	iii
Lista de Figuras	iv
Lista de Tabelas	vi
Resumo	vii
Abstract	viii
1 Introdução	1
1.1 Referências de corrente e tensão: Enfoque para baixo consumo	2
1.2 Referências de corrente: Revisão da literatura	3
2 Referência de corrente autônoma (SBCS) de ultrabaixo consumo de potência	8
2.1 Introdução	9
2.2 Modelo ACM : Advanced Compact Model	10
2.3 Equações de projeto para o SCM e o VFCM	12
2.4 Circuito SBCS proposto para baixa tensão de operação	14
2.5 Análise de sensibilidade	17
2.51 Sensibilidade a V_{ref}	17
2.52 Sensibilidade a V_{DD}	19
3 Projeto da referência de corrente e resultados	22
3.1 Projeto para ultrabaixo consumo de potência	22
3.2 Resultados experimentais	27
4 Conclusões e futuros trabalhos	34
Apêndice A - Layout dos circuitos de teste integrados nas tecnologias AMIS	35
1.5μm e TSMC 0.35μm.	
Apêndice B - Artigo publicado: ISCAS2004	38
Referências Bibliográficas	42

Lista de Símbolos

C'_{ox}	– capacitância do óxido por unidade de área [F/m]
I_D	– corrente de dreno [A]
I_F	– corrente direta [A]
i_f	– corrente direta normalizada ou nível de inversão
I_R	– corrente reversa [A]
I_{ref}	– corrente de referência [A]
I_S	– corrente de normalização [A]
I_{SQ}	– corrente de normalização para um transistor quadrado [A]
k	– constante de Boltzmann [J/K]
L	– comprimento do canal [m]
n	– fator de rampa
V_A	– tensão de Early [V]
V_{DS}	– tensão dreno-fonte [V]
V_{DSsat}	– tensão dreno-fonte de saturação [V]
V_{DD}	– tensão de alimentação [V]
V_{DDmin}	– tensão de alimentação mínima [V]
V_{ref}	– tensão de referência [A]
V_E	– tensão de Early por unidade de comprimento do canal [V/m]
V_{GS}	– tensão porta-fonte [V]
V_T	– tensão de limiar ou de <i>threshold</i> [V]
W	– largura do canal [μm]
μ	– mobilidade dos portadores [m^2/Vs]
ϕ_t	– tensão termodinâmica [V]
Δ, δ	– Variação (delta)

Lista de abreviações

ACM	– Advanced Compact Model
AMIS	– AMI Semiconductor
CMOS	– Complementary Metal Oxide Semiconductor
DC	– Direct Current
MOSFET	– Metal Oxide Semiconductor field effect transistor
M.I	– Moderate Inversion (inversão moderada)
NMOS	– Transistor MOS canal N
PMOS	– Transistor MOS canal P
PTAT	– Proportional To Absolute Temperature
RF	– Rádio Frequência
SBCS	– Self Biased Current Source
SBS	– Self Biased Structure
SCM	– Self Cascode MOSFET
S.I	– Strong Inversion (inversão forte)
TSMC	– Taiwan Semiconductor Manufacturing Company
VFCM	– Voltage-Following Current Mirror
V-I	– Tensão - Corrente
VLSI	– Very Large Scale Integration
W.I	– Weak Inversion (inversão fraca)

Lista de Figuras

Figura 1.1	Referência de corrente CMOS clássica [03]	4
Figura 1.2	Referência de corrente CMOS [04-05]	5
Figura 1.3	Referência de corrente CMOS [06]	6
Figura 1.4	Referência de corrente CMOS [07]	7
Figura 2.1	Transistor MOS canal N (a) Corte lateral; (b) Layout (vista superior)	10
Figura 2.2	MOSFET auto cascode (SCM)	12
Figura 2.3	Estrutura autopolarizada (<i>Voltage-Following Current Mirror -VFCM</i>)	13
Figura 2.4	Referência de corrente autônoma (SBCS)	14
Figura 2.5	Transistor trapezoidal (M_2 é formado por M transistores M_1 em paralelo)	16
Figura 2.6	Sensibilidade porcentual de I_{ref} por mV de V_x em relação a x (2.17). ($\phi_T=26mV$)	18
Figura 2.7	Sensibilidade porcentual/V de I_{ref} referente a x , usando como parâmetro M . Utilizando como especificações e parâmetros tecnológicos $i_{f1}/i_{f2}=3.4$, $L_u = 6\mu m$ e $V_E = 2V/\mu m$	21
Figura 3.1	Referência de corrente autônoma (SBCS)	22
Figura 3.2	Simulação de V_{ref} versus V_{DD} (AMIS 1.5)	25
Figura 3.3	Simulação de V_{ref} versus V_{DD} (TSMC 0.35)	25
Figura 3.4	Simulação de I_{ref} versus V_{DD} (AMIS 1.5), (pós-layout)	26
Figura 3.5	Simulação de I_{ref} versus V_{DD} (TSMC 0.35), (pós-layout)	26
Figura 3.6	V_{ref} versus V_{DD} (Topologia simétrica AMIS 1.5)	28
Figura 3.7	V_{ref} versus V_{DD} (Topologia simétrica TSMC 0.35)	28
Figura 3.8	I_{ref} versus V_{DD} (Topologia simétrica AMIS 1.5)	29
Figura 3.9	I_{ref} versus V_{DD} (Topologia simétrica TSMC 0.35)	29

Figura 3.10	Histograma da V_{ref} com $V_{DD}=1.15V$ (TSMC 0.35)	30
Figura 3.11	Histograma de I_{ref} com $V_{DD}=1.15V$ (TSMC 0.35)	30
Figura 3.12	Microfotografia do chip fabricado na tecnologia AMIS 1.5 μm . (2200 μm x 2200 μm)	31
Figura 3.13	Zoom dos circuitos testados (AMIS 1.5 μm)	31
Figura 3.14	Microfotografia do chip fabricado na tecnologia TSMC 0.35 μm . (1280 μm x 1280 μm)	32
Figura 3.15	Zoom do circuito testado. (TSMC 0.35 μm)	32
Figura A.1	Layout do chip fabricado na tecnologia CMOS AMIS 1.5 μm	35
Figura A.2	Layout do chip fabricado na tecnologia CMOS TSMC 0.35 μm	35
Figura A.3	SBCS(1) simétrica na tecnologia CMOS AMIS 1.5 μm	36
Figura A.4	SBCS(2) simétrica na tecnologia CMOS AMIS 1.5 μm	36
Figura A.5	SBCS(1) simétrica na tecnologia CMOS TSMC 0.35 μm	37
Figura A.6	SBCS(1) simétrica projetada na tecnologia CMOS TSMC 0.35 μm	37

Lista de Tabelas

Tabela 3.1	Resumo de resultados de simulação	24
Tabela 3.2	Dimensionamento dos transistores da topologia simétrica (AMIS 1.5). (M=5)	24
Tabela 3.3	Dimensionamento dos transistores da topologia simétrica (TSMC 0.35).(M=8)	24
Tabela 3.4	Resumo de resultados experimentais	27

Resumo da Dissertação apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica.

REFERÊNCIA DE CORRENTE CMOS PARA APLICAÇÕES DE ULTRABAIXO CONSUMO DE POTÊNCIA

Edgar Mauricio Camacho Galeano

Março/2004

Orientador: Márcio Cherem Schneider

Área de Concentração: Circuitos e Sistemas Integrados

Palavras-chave: Referência de corrente, referência de tensão PTAT, eficiência em potência, circuitos integrados analógicos MOS, metodologia de projeto, análise de sensibilidade, ultrabaixo consumo, baixa tensão de operação.

Número de Páginas: 43

Este trabalho apresenta uma referência de corrente CMOS eficiente para aplicações de ultrabaixo consumo de potência. Uma metodologia de projeto é proposta para otimizar sua operação com muito baixa tensão de alimentação. Esta metodologia é baseada em um conjunto de equações derivadas de um modelo para o MOSFET válido em todas as regiões de operação. Uma análise de sensibilidade orienta o projetista a fim de reduzir a sensibilidade da corrente tanto a parâmetros de projeto como também a variações na fonte de alimentação. O projeto da referência de corrente é validado através de simulação e fabricação de circuitos integrados de teste nas tecnologias CMOS AMIS 1.5 μ m e TSMC 0.35 μ m. Os circuitos de referência de corrente que projetamos são capazes de operar com tensões de alimentação de até 1,1V e com consumo da ordem de 2nW. Os resultados experimentais mostram que a referência de corrente projetada neste trabalho supera a performance de atuais referências de corrente reportadas na literatura.

Abstract of Dissertation presented to UFSC as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering.

A CMOS CURRENT REFERENCE FOR ULTRA LOW POWER APPLICATIONS

Edgar Mauricio Camacho Galeano

March/2004

Advisor: Márcio Cherem Schneider.

Area of Concentration: Integrated Circuits and System

Keywords: Current reference, PTAT voltage reference, power efficiency, MOS analog integrated circuits, design methodology, sensitivity analysis, ultra low-power, very low-voltage.

Number of Pages: 43

This work presents an efficient CMOS current reference for ultra-low-power consumption. A design methodology is proposed to allow the current reference to operate at very low supply voltage. The design methodology is based on a set of equations derived from a MOSFET model valid for all operating regions. A sensitivity analysis guides the designer in order to reduce the current sensitivity to both design parameters and supply voltage. The design of the current reference is validated by means of simulation and fabrication of integrated circuits in both the AMIS 1.5 μm and TSMC 0.35 μm CMOS technologies. The current reference circuits we have designed are capable of operating at supply voltages down to 1.1V with consumption of the order of 2 nW. The experimental results show that the CMOS current reference design in this work far exceeds the performance of current references reported in the technical literature so far.

Capítulo 1

INTRODUÇÃO

Atualmente a tecnologia é parte essencial na vida cotidiana da humanidade. As razões disto são claras; esta oferece um conjunto incontável de vantagens em lazer, conforto, educação, saúde, segurança e inclusive no avanço da própria tecnologia. Por isto, no dia a dia são muitos os dispositivos eletrônicos que usamos, até em nossas atividades mais simples. Exemplos destes são: telefones fixos e móveis, computadores, agendas pessoais, reprodutores de música, vídeo, TV, relógios de pulso, alarmes, caixas eletrônicas e, também, dispositivos implantados no corpo humano. Estes últimos são encontrados realizando funções de nosso organismo, de forma parcial ou total, para que o indivíduo beneficiado possa seguir o seu curso de vida normal.

Fatores como conforto, funcionalidade e custo são essenciais para o avanço de novos dispositivos eletrônicos. Portanto, a preferência do mercado por dispositivos portáteis, leves, de fácil uso com múltiplas funções a preço razoável está aumentando mais a cada dia.

Todos estes dispositivos eletrônicos têm um ou vários elementos em comum, denominado circuito integrado ou chip. Um circuito integrado é um dispositivo que pode realizar uma ou várias funções específicas, sintetizadas no nível de transistores em uma pastilha de silício. Sem dúvida, o chip é o resultado do trabalho de projetistas de circuitos integrados, que sente a influência de suprir as demandas do mercado gerando sistemas eletrônicos mais integrados.

Para aumentar a viabilidade mercantil, os dispositivos eletrônicos portáteis devem oferecer características como alimentação por bateria, ou por fontes de energia alternativas como baterias solares e radiação RF. Estas características são atrativas para obter maior portabilidade e menor peso, mas implicará em restrições de baixa potência e tensão. As limitações anteriores em sistemas mais complexos interagindo com o mundo físico levaram projetistas a optar por tecnologias que permitam integrar circuitos analógicos de

baixa tensão compatíveis com tecnologias de muita alta escala de integração VLSI, (*Very Large Scale Integration*). Neste tipo de integração, a tecnologia CMOS (*Complementary Metal Oxide Semiconductor*) nos últimos anos tem-se mostrado a mais adequada realizando eficientes sistemas de processamento, tendo vantagem de circuitos analógicos e digitais de baixo consumo na mesma pastilha [01].

Os circuitos digitais são favorecidos com o escalamento da tecnologia CMOS, podendo alcançar maiores frequências com menor tensão de operação. Por sua vez, os circuitos analógicos começam a ser cada vez mais desafiantes para projetistas, já que a performance do MOSFET é degradada pelo aumento de efeitos de segunda ordem tal como menor tensão de V_T , aumento das correntes de fuga (pela diminuição da tensão de limiar – V_T) e menor imunidade ao ruído, pela diminuição da tensão de alimentação, V_{DD} . Esta tendência leva à redução progressiva da relação V_{DD}/V_T , que força a diminuir o número de transistores empilhados entre as linhas de alimentação no projeto de circuitos analógicos CMOS com tecnologias submicrométricas.

Atualmente, técnicas de circuitos analógicos CMOS adequados para baixa tensão são reduzidas e, com restrição adicional para baixo consumo, são mais escassos ainda. Assim, novas técnicas de circuitos analógicos e de polarização são exigidas para operar com as restrições impostas pelas novas tendências da tecnologia CMOS e do mercado. O desafio neste caso é produzir circuitos CMOS tanto analógicos quanto digitais, de muito baixa potência e tensão ou aproveitar circuitos já existentes, otimizando-os para baixa potência e baixa tensão com apropriadas metodologias de projeto.

1.1. Referências de corrente e tensão: Enfoque para baixo consumo

Para polarizar adequadamente transistores e alcançar um ponto de operação estável é necessário prover diretamente tensões e correntes que são geralmente derivadas de algum tipo de referência externa. Tais referências são grandezas que exibem pouca sensibilidade a variações na tensão de alimentação e parâmetros do processo, como também uma dependência bem definida em relação à temperatura. Estas grandezas são dependentes de parâmetros com dimensões de tensão (por exemplo, $\phi_t = kT/q$ [03-07]) ou corrente ($I = V/R$ [03-04,07], $\mu C'_{ox} \phi_t^2$ [04-08]). Convencionalmente, as referências são externas. Estas são ligadas ao chip por meio de um ou vários pinos e este excesso de pinos aumenta tanto o tamanho do encapsulamento como o seu preço [14, 18], sendo um impedimento quando o

menor custo e maior integração são fatores indispensáveis. Em consequência, referências autônomas são requeridas.

As referências de corrente e tensão são usadas em circuitos analógicos extensivamente, para definir uma polarização DC (*Direct Current*) e também como grandeza de comparação com variáveis da mesma natureza.

Polarizar circuitos analógicos CMOS com corrente é a forma mais adequada para alcançar menor tensão de operação com baixo consumo. Desta forma é possível escalar a corrente para alcançar uma determinada performance. Em modo corrente, o mínimo escalamento é restringido basicamente pelas correntes de fuga na região sub-limiar e pelas correntes de fuga das junções pn entre o substrato (ou bulk) e as regiões de difusão, as quais variam tipicamente desde femto-Amperes até alguns pico-Amperes [02].

Uma técnica atual, baseada no conceito de nível de inversão tem sido usada para obter circuitos analógicos CMOS de baixa tensão [05,10] e muito baixo consumo [02]. Este tipo de técnica emprega a corrente como principal variável de projeto. Portanto, instrumentos como um modelo compacto para MOSFETs e referências de corrente “on-chip” (dentro do chip) são indispensáveis para sua concretização.

Um modelo compacto para MOSFETs é ACM [09]. Este modelo permite realizar projeto e análise de circuitos analógicos CMOS, com uma única equação para todas as regiões de operação, ou seja, desde inversão fraca (W.I) até inversão forte (S.I). Uma breve discussão deste modelo será feita no capítulo 2.

1.2. Referências de corrente: Revisão da literatura

Referências de corrente com baixa sensibilidade a variações na fonte de alimentação em geral são derivadas de uma tensão de referência bem definida e um adicional conversor tensão-corrente [03-08,17,18]. Quanto à implementação CMOS não são muitas as topologias que usam unicamente MOSFETs [03-08]. Além disso, o número se reduz mais ainda quando requisitos de baixa tensão [03,07] e muito baixo consumo de potência são parte da especificação do projeto [06].

Uma referência de corrente clássica foi inicialmente proposta em [03]. Este circuito é muito simples e consta de uma estrutura autopolarizada de quatro transistores e um resistor. Seu esquema é mostrado na Fig. 1.1.

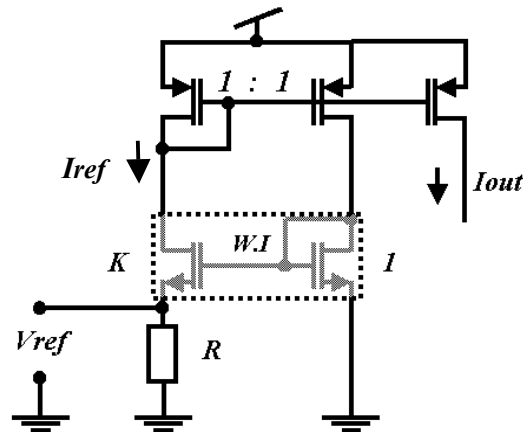


Fig. 1.1 Referência de corrente CMOS clássica [03]

Os transistores PMOS formam um espelho de corrente que força correntes iguais em um par NMOS porta comum. Um fator de proporcionalidade K é introduzido entre as razões de aspecto dos transistores do par acoplado NMOS e, assim, gera uma tensão de referência PTAT (Proportional To Absolute Temperature) que é aplicada em um resistor para produzir uma corrente. Considerando M_1 - M_2 em inversão fraca a corrente de referência é definida por:

$$I_{ref} = \frac{\phi_t \ln(K)}{R} \quad (1.0)$$

aqui, ϕ_t é a tensão termodinâmica, cujo valor é aproximadamente 26mV para temperatura ambiente ($T=300^\circ\text{K}$).

Esta topologia oferece uma eficiência de 33% para produzir uma corrente de saída igual à corrente de referência, ou seja, o consumo de corrente intrínseco da célula básica é duas vezes a corrente de saída. Este circuito é adequado para baixa tensão de operação se uma adequada metodologia de projeto é usada. Porém, este esquema não é adequado para gerar pequenas correntes necessárias para polarizar circuitos com baixo consumo de potência. Por exemplo, supondo $K=10$, é definida uma tensão de referência de 60mV. Para gerar uma corrente de 600pA (6nA) um resistor de $100\text{M}\Omega$ ($10\text{M}\Omega$) é requerido. A implementação deste resistor em uma tecnologia CMOS padrão vai preencher grande área de silício. Além disso, o valor absoluto de resistores em processos CMOS tem tolerâncias da ordem de 10-30%.

Na literatura, até agora são poucos os circuitos de referência de corrente CMOS autônomos reportados que sejam baseados em propriedades físicas intrínsecas [05-08], sem

dependem de nenhuma tensão de limiar. Estes circuitos empregam unicamente MOSFETs e apresentam a mesma dependência à temperatura, definida por T^{2-m} , onde m é o coeficiente de temperatura da mobilidade. Este parâmetro varia com a tecnologia, entre 1,5 a 2,0. No caso de $m \cong 2$, razoável independência com a temperatura pode ser alcançada.

A primeira deste tipo de referências de corrente é introduzida por [04], e reapresentada em [05]. O princípio de funcionamento deste circuito é comparar as tensões dos nós intermediários v_x e v_y de MOSFETs polarizados na inversão fraca e inversão forte, respectivamente. E assim, produzir uma corrente proporcional à corrente específica, I_s [05]. Este circuito foi inspirado na referência de corrente mencionada anteriormente [03], e é uma estrutura com baixa eficiência em potência. O motivo desta reduzida eficiência é atribuído ao uso de grandes relações de corrente, que são implementadas com um espelho de corrente PMOS convencional.

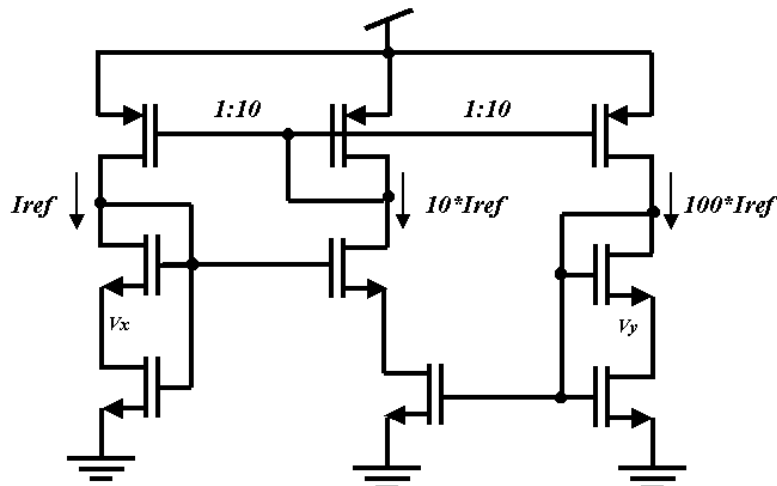


Fig. 1.2 Referência de corrente CMOS [04] - [05]

No exemplo da Fig. 1.2 [04], é gerada uma corrente de saída igual a I_{ref} , e a célula básica consome uma corrente de 111 vezes I_{ref} , equivalente a uma eficiência de 0,9%.

A segunda referência de corrente autônoma é apresentada em [06], a qual foi também inspirada na estrutura clássica de [03]. Como foi mencionado antes, o resistor pode ser uma desvantagem em muitas aplicações. Portanto, os autores de [06] usam um MOSFET operando na região de triodo em inversão forte para substituí-lo, como ilustrado na Fig. 1.3.

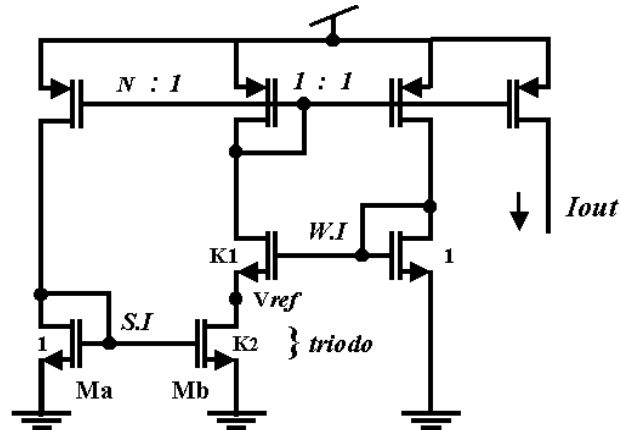


Fig. 1.3 Referência de corrente CMOS [06]

Embora seja uma estrutura simples, esta foi indicada em [07] como não adequada para aplicações com muita baixa tensão de operação. Os motivos não são mencionados, mas nos resultados experimentais uma regulação da corrente de 20%/V e dispersão desde o valor nominal até 90% podem ser razões suficientes. Também, o número dominante de transistores trabalhando no regime de inversão forte reduz as possibilidades de este circuito ser um candidato para baixa tensão de operação.

No circuito da Fig. 1.3, os autores realizam uma análise usando um modelo não compacto e, portanto, pontos de operação indesejáveis ($I_{ref}=0$) não são restringidos pelo equacionamento.

Para exemplificar na Fig. 1.3 fazendo $N=1$ e $K_2=1$, o equacionamento em [06] prevê um valor de corrente finito diferente de zero. Porém, na prática sob estas condições não existe tal ponto de operação. A razão disto é que, neste caso, o transistor M_b tenderia a saturar para alcançar a corrente de referência. Mas como sua tensão de saída é restrita a V_{ref} , então, a corrente (e V_{GN}) começa a ser reduzida até M_{a-b} entrar na região de inversão fraca, onde esta se reduz a zero rapidamente (exponencialmente). Equacionando este circuito com um modelo compacto para MOSFETs (por exemplo, ACM), restringe $N.K_2 \geq 4$ e, assim, M_b poderá trabalhar na região de triodo em inversão forte.

Uma terceira referência de corrente autônoma é introduzida em [07]. Esta é uma estrutura um pouco mais complexa que as mencionadas previamente. Este circuito usa um MOSFET auto cascode (*SCM - self-cascode MOSFET*) polarizado em inversão forte com uma referência de tensão PTAT gerada por meio de uma relação de corrente, como ilustrado na Fig. 1.4. Também emprega uma realimentação local para balancear a estrutura

e melhorar a rejeição à fonte de alimentação. Embora seja apropriada para baixa tensão de operação, sua eficiência de potência não é muito alta, devido ao uso de fatores de corrente relativamente grandes e operação de alguns transistores na inversão forte.

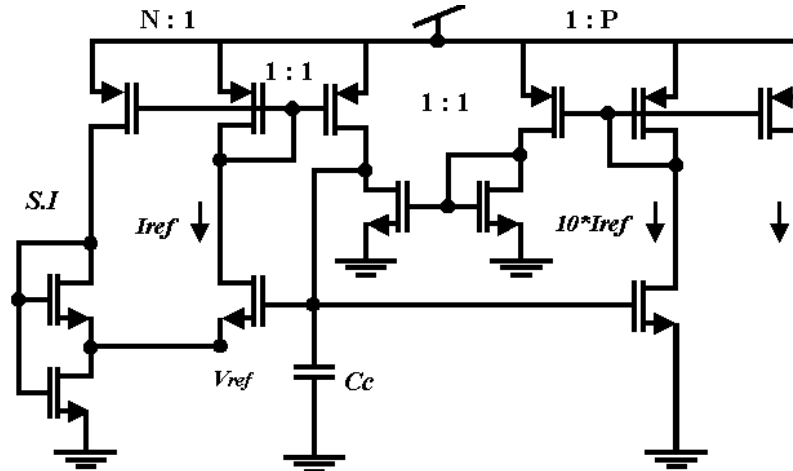


Fig. 1.4 Referência de corrente CMOS [07]

Por exemplo, no projeto proposto em [07], a eficiência da célula básica para produzir uma corrente de saída igual à menor corrente de referência é de 5%. Além disso, em determinados casos um capacitor de compensação deve ser usado para garantir estabilidade, gerando um aumento adicional na área de silício.

Por último, em [08,13] são apresentados circuitos que não são adequados para baixa tensão de operação. Nestes circuitos é dominante a polarização de MOSFETs na região de inversão forte e são empilhadas até três tensões porta-fonte (V_{GS}). Como um dos objetivos deste trabalho é o de gerar correntes com tensão de alimentação ligeiramente menor que duas tensões de limiar CMOS ou um pouco maior que uma tensão de limiar mais uma tensão V_{DSSat} , os trabalhos de [08] e [13] não são candidatos à implementação da referência de corrente.

Existem outras alternativas para gerar correntes em tecnologia CMOS. Uma forma tradicional é usar referências de tensão bandgap [15-16]. Porém, o consumo de potência é alto se for comparado com todas as topologias anteriores. Referências de bandgap em tecnologia CMOS são baseadas em transistores bipolares parasitas, que possuem baixo ganho de corrente e, portanto, não é possível escalar fortemente a corrente para polarizá-los como no caso de MOSFETs. Algumas destas estruturas usam amplificadores operacionais para aplicar a tensão de bandgap em um resistor [17] ou em um MOSFET operando na região de triodo [18], aumentando o consumo de potência e área do circuito.

Portanto, o uso de amplificadores operacionais pode não ser uma boa opção para circuitos de polarização de ultrabaixo consumo.

Neste trabalho é proposta uma referência de corrente autônoma, baseada em propriedades intrínsecas da tecnologia CMOS, para polarizar MOSFETs em um nível de inversão constante. E tem como objetivo gerar correntes de forma simples na faixa de centenas de pA, com consumo de potência bem menor que no estado da arte da microeletrônica.

Este trabalho foi dividido em quatro capítulos. No capítulo 2 é apresentada a topologia básica da referência de corrente autônoma, com suas correspondentes formulações analíticas para projeto e análise de sensibilidade.

No capítulo 3, são apresentados os projetos desenvolvidos em duas tecnologias diferentes, AMIS 1.5 μ m e TSMC 0.35 μ m. Resultados de simulação e experimentais são apresentados para validar o funcionamento do circuito gerador de corrente.

Finalmente, no capítulo 4, as conclusões e sugestões para futuros trabalhos serão apresentadas.

Capítulo 2

REFERÊNCIA DE CORRENTE AUTÔNOMA (SBCS) DE ULTRABAIXO CONSUMO DE POTÊNCIA

2.1. Introdução

Conforme explicado no capítulo anterior, muitos CIs atuais requerem referências de corrente autônomas (SBCS – Self Biased Current Source) com especificações para baixa tensão e (ultra) baixo consumo de potência. Os circuitos disponíveis na literatura não oferecem um bom compromisso entre eficiência em potência e performance para gerar correntes autônomas de ultrabaixo valor. Neste capítulo, duas referências de corrente CMOS eficientes em consumo de potência são introduzidas, sendo considerada sua aplicabilidade em circuitos de ultrabaixo consumo. Na seção 2.2, inicialmente será apresentado um modelo para MOSFETs, que será usado no equacionamento da referência de corrente e, assim, alcançar um bom compromisso entre consumo de potência, área e baixa tensão de operação. A referência de corrente proposta é baseada na estrutura autopolarizada (*Voltage-Following Current Mirror -VFCM*) de [3,20], e também um tipo de estrutura empilhada de dois transistores, denominada MOSFET auto cascode (SCM – *Self Cascode MOSFET*), o qual é conectado como diodo com uma derivação central. Na seção 2.3, são formuladas equações para descrever o comportamento V-I destas duas estruturas. A seção 2.4 descreve o funcionamento e metodologia de projeto da referência de corrente. Finalmente, na seção 2.5, uma análise de sensibilidades a vários parâmetros de projeto é incluída.

2.2. Modelo ACM: *Advanced Compact Mosfet* [9]

O dispositivo fundamental da tecnologia CMOS é o MOSFET, o dispositivo de quatro terminais apresentado na Fig. 2.1. O MOSFET canal-n ou NMOS (canal-p ou PMOS) é formado por um substrato tipo p (para PMOS, substrato tipo n ou poço n). As duas regiões altamente dopadas (n^+ para NMOS e p^+ para PMOS) são chamadas fonte (*source*) e dreno (*drain*), e entre estas é formado um canal. A parte superior do canal de silício é coberta por um isolante fino (dióxido de silício) que realiza contato físico com um eletrodo de baixa resistividade (Al, polisilício n^+), denominado porta (*gate*).

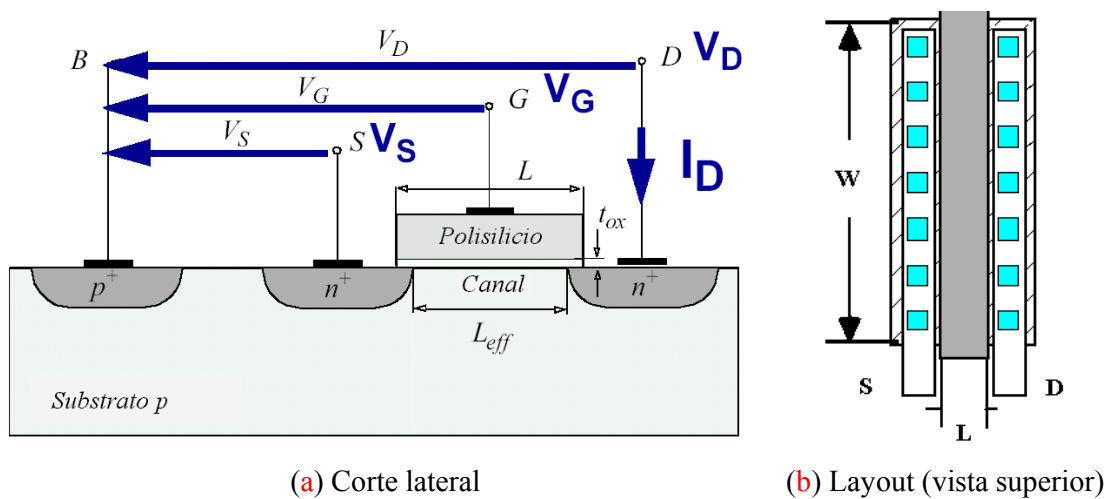


Fig.2.1. Transistor MOS canal N

Para realizar de forma eficiente o projeto de circuitos CMOS é necessário um modelo para MOSFETs, que relacione suas propriedades físicas e elétricas com expressões únicas, simples e contínuas, válidas em todas as regiões de operação. Um modelo para MOSFETs com esta descrição é ACM [9], o qual preserva as propriedades fundamentais, tais como simetria entre dreno e fonte e a conservação da carga.

ACM é um modelo baseado em corrente que usa o conceito de nível de inversão, para determinar a região de operação do MOSFET. Neste modelo [9] a corrente pode ser dividida em uma corrente direta (I_F - *forward current*) e uma corrente reversa (I_R - *reverse current*).

$$I_D = I_F - I_R = I_S(i_f - i_r) \quad (2.1)$$

$I_F(I_R)$ depende das tensões de porta (V_G) e fonte, V_S (dreno, V_D), referenciadas ao terminal de substrato como indicado na Fig. 2.1. Para a equação (2.1) na saturação $I_F \gg I_R$, a corrente de dreno pode ser expressa apenas em termos da corrente direta. Desta forma a seguinte aproximação será adotada na saturação:

$$I_D \cong I_F \quad (2.2)$$

A corrente de dreno pode ainda ser escrita em forma normalizada, usando o conceito de corrente específica, I_S :

$$I_D \cong I_S \cdot i_f \quad (2.3)$$

onde i_f é a corrente normalizada direta, também conhecida como grau ou nível de inversão. A corrente de normalização é dada por:

$$I_S = I_{SQ} \left(\frac{W}{L} \right) \quad (2.4)$$

$$I_{SQ} = \mu C'_{ox} n \frac{\phi_t^2}{2} \quad (2.5)$$

sendo I_{SQ} a corrente de normalização para um transistor quadrado (I_S para $W=L$). A corrente I_S constitui o parâmetro fundamental do modelo ACM, contendo as informações básicas sobre o dispositivo, tais como tecnologia, geometria e temperatura [09]. Aqui, μ , n , C'_{ox} , ϕ_t , e $W/L=S$ são a mobilidade, fator de rampa, capacitância/área da porta, tensão termodinâmica e a relação de aspecto, respectivamente. Por exemplo, I_{SQ} 's em tecnologia de 0.35 μ m para os transistores P e N são da ordem de 30nA e 70 nA, e estes valores tendem a aumentar com o escalamento da tecnologia CMOS.

A relação entre corrente e tensão é dada [09] por:

$$\frac{V_P - V_{S(D)}}{\phi_t} = \sqrt{1 + i_{f(r)}} - 2 + \ln\left(\sqrt{1 + i_{f(r)}} - 1\right) \quad (2.6.a)$$

$$V_P \cong \frac{V_G - V_{T0}}{n} \quad (2.6.b)$$

onde V_P , é a tensão de pinch-off e V_{T0} é a tensão de limiar para $V_{SB}=0$. Mais detalhes sobre (2.1)-(2.6) podem ser encontrados em [09].

2.3. Equações de projeto para o SCM e o VFCM

O elemento principal da SBCS é um SCM, o qual é mostrado na Fig. 2.2. A característica V-I do SCM é bastante apropriada para construir circuitos analógicos de baixa tensão, tal como referências de corrente e tensão PTAT sub-100mV [03-07].

As equações de projeto (2.7)-(2.9) que descrevem a característica V-I do SCM foram deduzidas usando (2.1)-(2.6) e o esquema da Fig. 2.2.

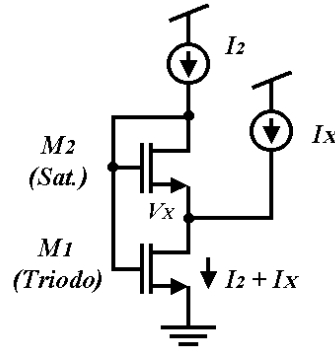


Fig.2.2. MOSFET auto cascode (SCM).

De acordo com (2.1), as correntes de dreno de M_1 e M_2 podem ser expressas em função dos níveis de inversão direta e reversa. Como M_2 está em saturação:

$$I_2 \cong I_{F2} = I_{S2} i_{f2} \quad (2.7)$$

Para M_1 :

$$I_{D1} = I_{F1} - I_{R1} = I_{S1} (i_{f1} - i_{r1}) = I_2 + I_x \quad (2.8)$$

Dado que $V_{P1} = V_{P2} = V_P$ e $V_{D1} = V_{S2}$, então $i_{r1} = i_{f2}$; Assim, desde (2.7) e (2.8) pode-se encontrar a relação entre i_{f1} e i_{f2}

$$\frac{i_{f1}}{i_{f2}} = \left[1 + \frac{S_2}{S_1} \left(1 + \frac{I_x}{I_2} \right) \right] \quad (2.9)$$

A relação I_x/I_2 é definida pelo ganho de um espelho de corrente PMOS. Assim, a expressão (2.9) pode ser usada como parâmetro de projeto independente da polarização e tecnologia.

Aplicando (2.6.a) a M_2 resulta em

$$\frac{V_P - V_x}{\phi_t} + 1 = \left(\sqrt{1 + i_{f2}} - 1 \right) + \ln \left(\sqrt{1 + i_{f2}} - 1 \right) \quad (2.10)$$

enquanto que, para M_1

$$\frac{V_P}{\phi_t} + 1 = \left(\sqrt{1 + i_{f1}} - 1 \right) + \ln \left(\sqrt{1 + i_{f1}} - 1 \right) \quad (2.11)$$

As equações (2.9), (2.10) e (2.11) com cinco incógnitas (V_P , i_{f1} , i_{f2} , I_X/I_2 e V_x) são fundamentais para o desenvolvimento da metodologia de projeto da SBCS. Assumindo que um gerador de tensão estabelece V_x em um valor dado, e um espelho de corrente (PMOS) define I_X/I_2 , tanto os níveis de inversão i_{f1} e i_{f2} , como também as correntes são facilmente determinadas.

A seguir, será apresentada a implementação para a tensão de referência V_x .

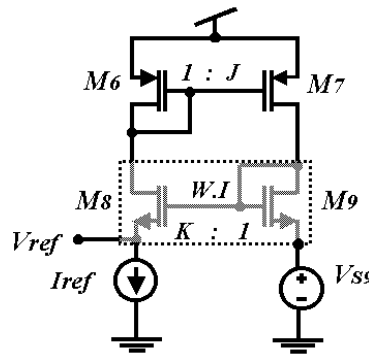


Fig.2.3. Estrutura autopolarizada (*Voltage-Following Current Mirror -VFCM*)

A estrutura autopolarizada VFCM [03-20] na Fig. 2.3 pode ser usada para gerar V_x no nó intermediário do SCM. A tensão V_{ref} pode ser calculada usando (2.6.a) e assumindo M_8 - M_9 saturados e em inversão fraca (*W.I - Weak Inversion*). A condição de inversão fraca ($i_f < 1$) é estabelecida pela corrente nos transistores e suas razões de aspecto. Nota-se que para $V_{P8}=V_{P9}$, $I_{D8}=I_{D9}$, $S_8=KS_9$ e $V_{ref}=V_{S8}$, então:

$$V_{ref} = V_{S9} + \phi_t \ln(K) \quad (2.12)$$

Devido ao lento crescimento da função logaritmo natural, os valores adequados para $\phi_t \ln(K)$ quando $V_{S9}=0$ devem ser menores que 100mV.

Nesta topologia, V_{S9} pode ser zero (ground) ou uma tensão PTAT gerada por meio de um segundo SCM operando na inversão fraca (SCM(W.I)), como mostrado na Fig.2.4. Aplicando as expressões (2.9)-(2.11) ao SCM(W.I) composto de M_3 e M_4 (Fig.2.4), resulta em

$$V_{S9} = \phi_t \ln \left(1 + 2 \frac{S_4}{S_3} \right) \quad (2.13)$$

Ambas tensões de referência expressas por (2.12) e (2.13) são imunes às variações da fonte de alimentação, como também a parâmetros tecnológicos, desde que os transistores operem na inversão fraca. De acordo com a expressão (2.13), o SCM(W.I) pode operar como uma referência PTAT de muito baixa tensão, independente do nível de corrente e da tecnologia.

As equações anteriores e algumas considerações de projeto para o SBCS serão usadas na próxima seção para desenvolver uma metodologia que seja apropriada para baixa tensão e potência.

2.4. Circuito SBCS proposto para baixa tensão de operação

Uma versão simples do circuito SBCS proposto é mostrado na Fig.2.4 [11], onde V_{S9} pode ser zero ou $V_{x(w.I)}$. Nesta estrutura, o resistor da implementação em [03] é substituído por um SCM operando na inversão moderada ($SCM(M.I)$), para alcançar os requisitos de baixa corrente e tensão de operação.

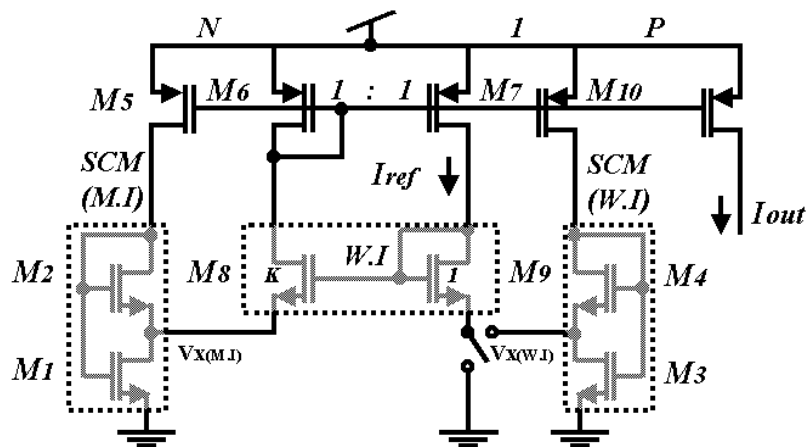


Fig.2.4. Referência de corrente autônoma (SBCS)

Quando a chave na Fig.2.4 é ligada à terra, a referência de tensão PTAT é produzida por um *offset* intencional ($K \neq 1$ Fig.2.4) entre os dispositivos acoplados por porta M_8 e M_9 , ambos polarizados na inversão fraca. Neste caso, a tensão PTAT é dada por (2.12), com $V_{S9} = 0$. Esta simples topologia é apropriada para aplicações onde moderada performance é tolerada. Também, este circuito é estável para $K > 1$.

Como indicado na seção anterior, outra forma para a implementação da referência de tensão PTAT faz uso de um segundo SCM (M_{3-4}) polarizado na inversão fraca (SCM(W.I)), e $K=1$; assim; $V_{ref}=V_{S9}$, com V_{S9} dado por (2.13). Esta segunda topologia resulta em melhor simetria e casamento, permitindo implementar M_8 - M_9 com transistores trapezoidais idênticos [12], para melhorar a regulação do circuito de referência de corrente, sem demandar grande área de silício.

Uma metodologia de projeto apropriada para baixa tensão e consumo de potência é descrita a seguir.

As especificações de projeto de um circuito referência de corrente são usualmente a mínima tensão de operação (V_{DDmin}), dissipação de potência, área de silício e sensibilidades, como também o próprio valor da corrente.

A metodologia de projeto pode ser baseada no máximo consumo de potência ou no valor da corrente de referência (I_{ref}), e as dimensões dos transistores são otimizadas para alcançar baixa tensão de operação. Esta metodologia pode ser aplicada à topologia simples (chave ligada à terra), ou para a topologia simétrica (chave ligada ao nó $V_{x(w.i)}$) na Fig.2.4.

A mínima tensão de alimentação, a qual é determinada pelas limitações impostas pelos dois ramos mais à esquerda na Fig.2.4, pode ser escrita como

$$V_{DD} \geq \max\{|V_{DSsat,P}| + V_{GS,M1}, |V_{GS,P}| + V_{DSsat,M8} + V_x\} \quad (2.14)$$

onde $V_{DSsat,M8} \cong 100\text{mV}$ dado que M_8 opera na inversão fraca. Os transistores canal-p são dimensionados para operar na inversão fraca, com um nível de inversão perto de 1 ou menor; portanto, $|V_{DSsat,P}| \cong 100\text{ mV}$ e $V_{GS,P} \cong V_{TP}$.

Visto que V_x é menor que 100mV, e M_1 será projetado para operar na inversão moderada com $V_{GS,M1} \cong V_{TN} + 100\text{ mV}$, pode-se usar como aproximação de primeira ordem

$$V_{DD} \geq \max\{|V_{TP}|, V_{TN}\} + 200\text{mV} \quad (2.15)$$

para a mínima tensão de alimentação. Certamente, a expressão (2.15) é uma grosseira aproximação quando cálculos mais precisos sejam necessários.

Na metodologia que adotamos o SCM(M.I) opera na inversão moderada ($1 \leq i_f \leq 100$) com $i_{f2}=3$ ou, equivalentemente, $V_{P2} = V_{x(M.I)} = V_{ref}$ (ver (2.10)). Se $V_{S9}=0$, podemos calcular i_{f1} desde a equação (2.11) com $V_P/\phi_t = \ln(K)$ ou, equivalentemente, resolver

$$1 + V_{ref}/\phi_t \cong 1 + \ln(K) = x + \ln(x) \quad (2.16)$$

onde

$$x = (\sqrt{1+i_{f1}} - 1) \quad (2.17)$$

é a densidade de carga (q_{SI}) de inversão na fonte de M_1 .

Uma vez que x foi calculado para um valor específico de K , por exemplo $K=10$, pode-se proceder a calcular S_2/S_1 desde (2.9)

$$\frac{S_2}{S_1} = \frac{(x+1)^2 - 4}{3(1+1/N)} \quad (2.18)$$

onde S_2 é calculado observando que $I_{D2}=NI_{ref}=I_{SQ}S_2.i_{f2}$ com $i_{f2}=3$. Portanto, sendo M_2 NMOS $\rightarrow I_{SQ}=I_{SQN}$:

$$S_2 = \frac{NI_{ref}}{3I_{SQN}} \quad (2.19)$$

Para uma corrente de referência $I_{ref} \ll I_{SQN}$, por exemplo, $I_{ref} \ll I_{SQN_AMIS-1.5\mu} = 30nA$ ou $I_{ref} \ll I_{SQN_TSM5-0.35\mu} = 70nA$, a escolha de $S_9=1$ garante que M_9 esteja na inversão fraca, e o fator N define um compromisso entre consumo de potência e área.

A relação de aspecto (S_p) dos transistores PMOS M_5 - M_7 (M_{10}) é calculada usando (2.3) e (2.4), com nível de inversão menor que 1, usual para aplicações de baixa tensão.

Para o projeto da topologia simétrica usa-se a mesma metodologia anterior com $K=1$, e S_3, S_4 são calculados desde (2.13) para um determinado valor de V_{S9} .

A sensibilidade da SBCS à fonte de alimentação é associada com o efeito Early de M_7 e M_8 . O efeito Early pode ser reduzido usando comprimentos de canal (L) muito longos, porém demanda grande área de silício. Uma técnica apropriada para baixa tensão que permite obter comprimentos de canal muito longos com moderada área, é o transistor trapezoidal, proposto em [12]. Esta é uma estrutura empilhada de dois transistores, com o transistor associado ao dreno mais largo que o transistor ligado à fonte, como ilustrado na Fig. 2.5. A relação de aspecto equivalente do transistor trapezoidal é $(M+1) \cdot W_u/ML_u$.

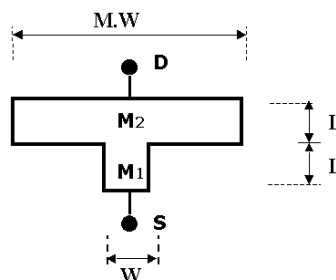


Fig.2.5. Transistor trapezoidal (M_2 é formado por M transistores M_1 em paralelo)

Na seção seguinte, uma análise de sensibilidade da referência de corrente à fonte de alimentação como também a outros parâmetros de projeto são brevemente discutidos.

2.5. Análise de sensibilidade

É uma exigência na geração de referências de corrente que a variação da corrente a possíveis fontes de erro seja bastante menor que seu próprio valor absoluto. Tal requisito é particularmente difícil de ser atendido quando as correntes são da ordem de pA.

Uma análise de sensibilidade a fontes de variação e parâmetros de projeto é mandatário no projeto de fonte de corrente.

Devido à corrente ser expressa por equações paramétricas, as sensibilidades são calculadas por derivadas com variáveis intermédias. Portanto, para calcular a sensibilidade da corrente à tensão de referência e de alimentação, é considerada a seguinte seqüência de dependência:

$$\Delta V_{DD} \rightarrow \Delta V_x \rightarrow \Delta x \rightarrow \Delta I_{ref} \quad (2.20)$$

Ou seja, uma determinada variação na tensão de referência ($V_{x(M.I)}$) aplicada no SCM(M.I), vai produzir uma variação na variável intermédia x (densidade de carga de inversão na fonte de M_1) que, por sua vez, varia a corrente. Uma variação em $V_{x(M.I)}$ pode ser causada por variações na tensão de alimentação ou por algum tipo de *offset* devido a *mismatch*.

2.5.1. Sensibilidade a V_{ref}

Para fazer este cálculo, considera-se tanto a tensão de alimentação quanto a corrente específica constantes. Então, a sensibilidade normalizada da corrente de referência pode ser escrita como:

$$\frac{\delta i_{ref}/i_{ref}}{\delta V_x} = \frac{1}{i_{ref}} \cdot \frac{\delta i_{ref}}{\delta x} \cdot \frac{\delta x}{\delta V_x} \quad (2.21)$$

as anteriores variações são calculadas desde as equações (2.9-2.11), resultando em:

$$\frac{\delta i_{ref}}{i_{ref}} = 2 \frac{\delta V_x}{\phi_t} \frac{1}{\left[(x+1) - \sqrt{1 + \frac{(x+1)^2 - 1}{(1+i_{f1}/i_{f2})}} \right]} \quad (2.22)$$

A tendência porcentual da equação (2.22) referente a x , é representada na Fig. 2.6, para uma variação na tensão de referência de 1mV ($\delta V_x = 1\text{mV}$). Observar que a sensibilidade tende a infinito para $(x+1) \rightarrow 1$, ou seja, $M_{1,2}$ entrando na região de canal fracamente invertido. Este resultado é previsível, pois o circuito de referência de corrente é baseada na operação dos transistores $M_{1,2}$ em regime de inversão que não o de inversão fraca, já que quanto menor o nível de inversão, menor a densidade de carga no canal para formar uma corrente e, por conseguinte, maior a sensibilidade da corrente a V_x .

Para reduzir a sensibilidade da corrente com relação à tensão de referência é necessário um valor de x não muito baixo. Isto estabelece um compromisso entre área e performance, (2.16). Por exemplo, assumindo $i_{f1}/i_{f2}=3,4$, para garantir sensibilidade menor que 6%/mV de V_x , devemos ter $x > 2,0$ ou $K > 5$ na topologia simples. A topologia simétrica define um melhor compromisso nesse aspecto, dado que para a mesma sensibilidade: $S_4/S_3=(K-1)/2$. Outro aspecto importante é a dispersão da corrente do circuito. Para maiores valores de x , mais estável é a referência de corrente, como ilustrado na Fig. 2.6, a custos de maior consumo e de maior tensão V_{GS} para M_1 e M_2 .

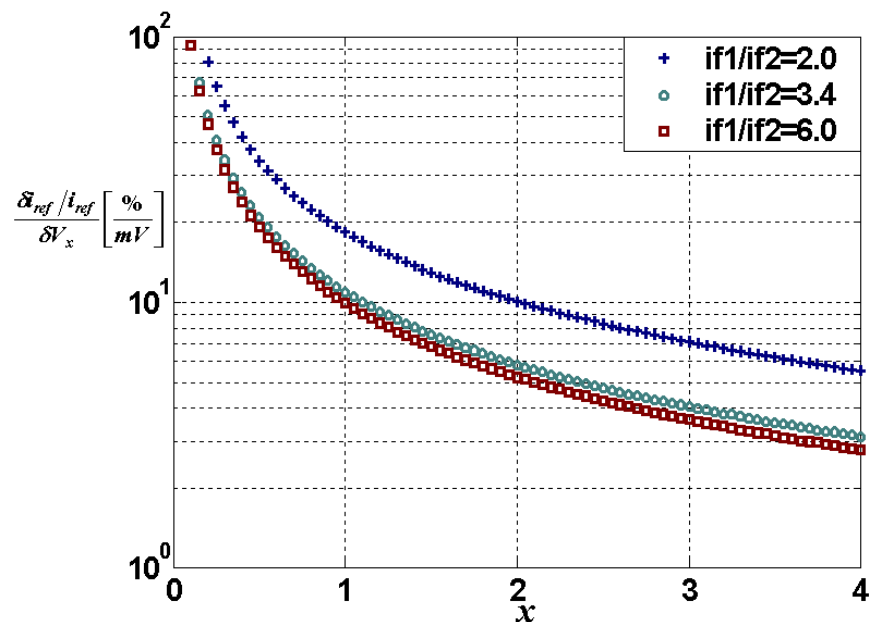


Fig.2.6. Sensibilidade porcentual de I_{ref} por mV de V_x em relação a x (2.17). ($\phi_r=26\text{mV}$)

Como regra de projeto, pode ser adotado $K=5-10$ ou $S_4/S_3=2-5$ com $i_{f1}/i_{f2}=3,4$, para garantir uma sensibilidade menor que 6%/mV. E $i_{f1}/i_{f2}=3,4$, é definido para $N=1$ e $S_2/S_1=1,2$.

2.5.2. Sensibilidade a V_{DD}

A sensibilidade da corrente de referência à fonte de alimentação, está relacionada, em primeira ordem, à variação da tensão de referência com a tensão de alimentação. Como dito na seção anterior, esta dependência é causada pela limitada tensão Early de M_7 e M_8 .

Esta sensibilidade pode-se escrever como:

$$\frac{\delta i_{ref}/i_{ref}}{\delta V_{DD}} = \frac{1}{i_{ref}} \cdot \frac{\delta i_{ref}}{\delta V_x} \cdot \frac{\delta V_x}{\delta V_{DD}} = \frac{2}{\phi_t} \left[(x+1) - \sqrt{1 + \frac{(x+1)^2 - 1}{(1+i_{f1}/i_{f2})}} \right]^{-1} \cdot \frac{\delta V_x}{\delta V_{DD}} \quad (2.23)$$

Na equação (2.23), o termo $\delta V_x/\delta V_{DD}$ é desconhecido. Então, a seguir vai ser exposto brevemente seu cálculo.

Assumindo $M_{8,9}$ e $M_{6,7}$ na inversão fraca e saturação, com condutância de saída finita, então, a relação V-I canal longo destes é governada pela lei exponencial e pela dependência da tensão de Early, como indicado nas equações (2.24-2.25) e (2.26-2.27), respectivamente:

$$I_{D6} = I_{D8} = KI_{SN} \exp\left(\frac{V_{G8} - V_{TN}}{n_N \phi_t}\right) \exp\left(-\frac{V_{X(M.I)}}{\phi_t}\right) \left[1 + \frac{V_{D8} - V_{X(M.I)}}{V_{AN}}\right] \quad (2.24)$$

$$I_{D6} = I_{SP} \exp\left(\frac{V_{DD} - V_{G7} + V_{TP}}{n_p \phi_t}\right) \left[1 + \frac{V_{DD} - V_{D6}}{V_{AP}}\right] \quad (2.25)$$

$$I_{D7} = I_{D9} = I_{SN} \exp\left(\frac{V_{G8} - V_{TN}}{n_N \phi_t}\right) \exp\left(-\frac{V_{X(W.I)}}{\phi_t}\right) \left[1 + \frac{V_{G8} - V_{X(W.I)}}{V_{AN}}\right] \quad (2.26)$$

$$I_{D7} = I_{SP} \exp\left(\frac{V_{DD} - V_{G7} + V_{TP}}{n_p \phi_t}\right) \left[1 + \frac{V_{DD} - V_{D7}}{V_{AP}}\right] \quad (2.27)$$

onde V_{AN} e V_{AP} são a tensão de Early dos transistores NMOS e PMOS, respectivamente.

Considerando que as variações na corrente causadas principalmente por M_7 e M_8 através de V_x são opostas, podemos normalizá-las como:

$$\frac{I_{D6}}{I_{D7}} = \frac{I_{D8}}{I_{D9}} \quad (2.28)$$

Simplificando termos e aproximando $(1+a)/(1+b) \cong 1+(a-b)$ para $a, b \ll 1$; resulta em:

$$K \exp\left(\frac{V_{X(M.I)} - V_{X(W.I)}}{\phi_t}\right) = \left(1 + \frac{V_{D8} - V_{G8} - [V_{X(M.I)} - V_{X(W.I)}]}{V_{AN}}\right) \left(1 + \frac{V_{D7} - V_{D6}}{V_{AP}}\right) \quad (2.29)$$

assumindo que $V_{X(M.I)} - V_{X(W.I)} \ll 1$, e $V_{D8}=V_{D6}$ variam diretamente com a tensão de alimentação para V_{G8} constante, então, $\delta V_{D8}/\delta V_{DD}=\delta V_{D6}/\delta V_{DD}\cong 1$. Portanto, a sensibilidade da tensão de referência à fonte de alimentação pode ser expressa como:

$$\frac{K}{\phi_t} \cdot \frac{\delta V_{X(M.I)}}{\delta V_{DD}} \cdot \exp\left(\frac{V_{X(M.I)} - V_{X(W.I)}}{\phi_t}\right) \cong \left(\frac{1}{V_{AN}} + \frac{1}{V_{AP}}\right) \quad (2.30)$$

onde ,

$$K \cdot \exp\left(\frac{V_{X(M.I)} - V_{X(W.I)}}{\phi_t}\right) \cong \frac{I_{D8}}{I_{D9}} \cong 1 \quad (2.31)$$

E, finalmente, chegamos ao seguinte resultado:

$$\frac{\delta V_{X(M.I)}}{\delta V_{DD}} \cong \phi_t \cdot \left(\frac{1}{V_{AN}} + \frac{1}{V_{AP}}\right) = \phi_t \left(\frac{1}{L_N V_{EN}} + \frac{1}{L_P V_{EP}}\right) \quad (2.32)$$

onde L_N e L_P são os comprimentos de canal NMOS e PMOS, respectivamente, e V_{EN} , V_{EP} são suas respectivas tensões de Early por unidade de comprimento do canal.

O interessante desta expressão é sua independência do tipo de topologia usada; portanto, deve-se notar que a sensibilidade à tensão de alimentação pode ser reduzida sem comprometer a funcionalidade dos circuitos.

Agora, substituindo este resultado em (2.23), é completada a variação normalizada da corrente à fonte de alimentação, sendo como:

$$\frac{\delta i_{ref}/i_{ref}}{\delta V_{DD}} = 2 \left(\frac{1}{L_N V_{EN}} + \frac{1}{L_P V_{EP}} \right) \left[(x+1) - \sqrt{1 + \frac{(x+1)^2 - 1}{(1+i_{f1}/i_{f2})}} \right]^{-1} \quad (2.33)$$

De (2.33) conclui-se que quanto menor a sensibilidade a V_{ref} , melhor a regulação à fonte de alimentação. Como dito anteriormente, usando transistores trapezoidais pode-se reduzir ainda mais este resultado, mantendo constante o nível de inversão. Portanto, assumindo-se $L_N V_{EN} = L_P V_{EP} = L V_E$ e $L = M L_u$, a equação (2.33) pode ser escrita como:

$$\frac{\delta i_{ref}/i_{ref}}{\delta V_{DD}} = 2 \left(\frac{2}{M L_u V_E} \right) \left[(x+1) - \sqrt{1 + \frac{(x+1)^2 - 1}{(1+i_{f1}/i_{f2})}} \right]^{-1} \quad (2.34)$$

A Fig. 2.7 representa a regulação do circuito referência de corrente em função do fator x . Observa-se que para valores de $x > 2,5$ ou equivalentemente $i_{f1} > 11$, pouco

melhoramento na regulação é obtido. Este comportamento é ainda mais evidente para menores valores de M . Porém, deve-se ter senso na escolha de M , tendo em conta que grandes valores de M melhoram o casamento entre transistores. Além disso, maiores níveis de inversão aumentam a tensão de alimentação mínima como previsto em (2.14). Portanto, valores de i_{f1} entre 7 e 15 com fatores de $3 < i_{f1}/i_{f2} < 5$ são adequados para manter M_{1-2} em inversão moderada e, assim, obter um bom compromisso entre área, performance e a mínima tensão de alimentação na geração de pequenas correntes.

Os anteriores resultados também se aplicam a um transistor único ou associação serie de transistores com equivalente comprimento de canal $L = ML_u$. Portanto, por cada duplicação do comprimento de canal uma redução de 2%/V é alcançada.

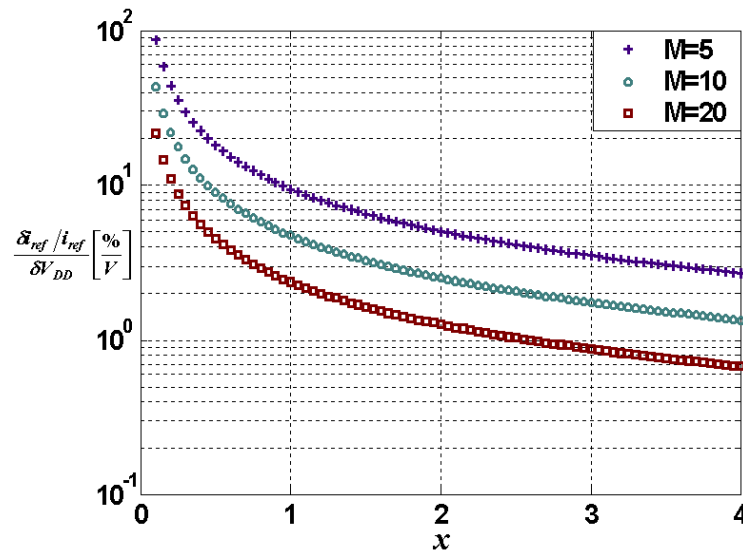


Fig. 2.7. Sensibilidade percentual/V de I_{ref} referente a x , usando como parâmetro M .

Utilizando como especificações e parâmetros tecnológicos $i_{f1}/i_{f2}=3.4$, $L_u = 6\mu\text{m}$ e $V_E = 2\text{V}/\mu\text{m}$.

Neste capítulo foram introduzidas duas eficientes topologias referências de corrente. Também, foi desenvolvida uma metodologia de projeto enfocada para baixa tensão com ultrabaixo consumo de potência. Com objetivo de otimizar a operação dos circuitos a variações na fonte de alimentação e tensão de referência, um estudo de sensibilidades é incluído para auxiliar a desenvolver critérios de projeto.

No próximo capítulo são realizados projetos dos circuitos propostos aqui, para validar a técnica como também a fundamentação analítica que os suporta.

Capítulo 3

PROJETO DA REFERÊNCIA DE CORRENTE E RESULTADOS

As referências de corrente autônomas apresentadas neste trabalho são estruturas bastante simples que permitem polarizar circuitos analógicos CMOS de baixíssimo consumo com alta eficiência de potência.

Neste capítulo, a primeira seção apresenta os projetos das referências de corrente em duas diferentes tecnologias CMOS. Na seção 3.2, os resultados de simulação e experimentais validam a técnica e a metodologia adotada para ultrabaixo consumo. Entretanto, é importante destacar que estes circuitos podem ser usados para gerar maiores correntes, segundo as necessidades da aplicação.

3.1. Projeto da referência de corrente para ultrabaixo consumo

Utilizando a metodologia proposta no capítulo anterior [11], foram projetadas as duas topologias da Fig.2.4(3.1), nas tecnologias CMOS AMIS 1.5 μm e TSMC 0.35 μm .

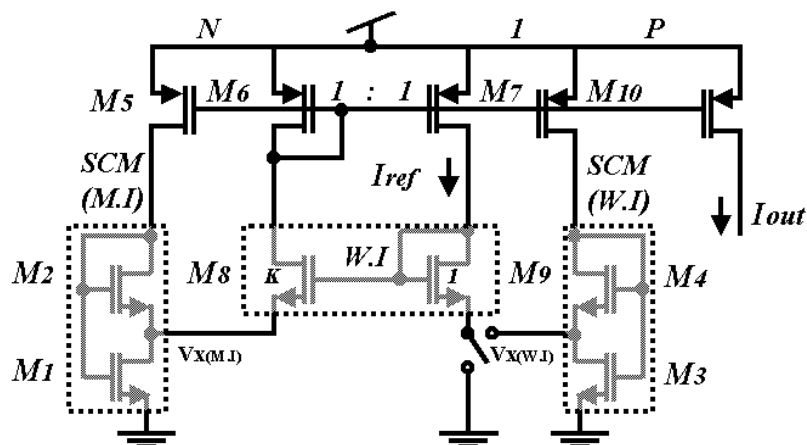


Fig.3.1. Referência de corrente autônoma (SBCS)

Neste caso, as especificações iniciais foram adotadas em termos dos valores absolutos da tensão de referência $V_{ref} < 100\text{mV}$ e a corrente de referência $I_{ref} = 400\text{pA}$ com a menor tensão de alimentação possível.

O projeto começa por calcular o valor de K para uma tensão de referência menor que 100mV com $V_{S9} = 0$. Para isto, é usada a equação (2.16), a qual prevê valores de $K < 50$. Isto determina que $x < 3,6$ e, assim, desde (2.17) é obtido $i_{f1} < 20$. A escolha de i_{f1} deve ser escolhida com base nos requisitos de mínima tensão V_{GS} , a área necessária de $M_{1,2}$ para gerar uma corrente $I_{ref} = 400\text{pA}$ e sensibilidade a V_x . É obvio que, na geração de pequenas correntes com muita baixa tensão de operação, o melhor compromisso é estabelecido pelo menor nível de inversão que possa ser usado na inversão moderada. Assim, sabendo de (2.9) que $i_{f1} > i_{f2}$, na metodologia da seção 2.4 foi adotado $i_{f2} = 3$. Se $i_{f2} = 3$, (2.10) indica que $V_P = V_{x(M.I)} = V_{ref}$. Sendo escolhido $K = 9$ para gerar uma tensão de referência $V_{ref} = 57\text{mV}$, então, $x = 2,345$ e de (2.11) $if1 = 10,2$, que garante uma sensibilidade na corrente à tensão de alimentação menor que $5\%/V$ como previsto por (2.33) e Fig.2.6, assumindo-se dispositivos canal longo. Como o projeto foi definido para mínimo consumo de potência, faz-se $N = 1$. Em seguida, obtemos S_2/S_1 desde a expressão (2.18). Então S_2 é calculado de (2.19) para a tecnologia AMI $1.5\mu\text{m}$ onde $I_{SQN_AMI\ 1.5\mu\text{m}} = 30\text{nA}$. Portanto, $S_2 = 1 * 400\text{pA} / (3 * 30\text{nA}) = 1/225$ e, em consequência $S_1 = 1/270$. Para evitar efeitos de canal estreito é definido $W_{1,2} = 4\mu\text{m}$. Fazendo $S_9 = 1$ e $S_8 = K S_9$ garantimos que $M_{8,9}$ estejam na inversão fraca, já que $I_{ref} \ll I_{SQN}$. Adotamos $L_8 = L_9 = 10\mu\text{m}$ para redução de efeitos canal curto nestes dispositivos. As dimensões para o espelho de corrente são calculadas desde (2.3) na inversão fraca ($i_f < 1$) e $I_{SQP_AMI\ 1.5\mu\text{m}} = 10\text{nA}$, como indicado na tabela 3.2.

A topologia simétrica é projetada usando a mesma metodologia anterior, fazendo $V_{S9} = V_{X(W.I)}$ e calculando a relação entre $M_{3,4}$ como: $S_4/S_3 = (K-1)/2 = 4$.

Simulações foram realizadas usando parâmetros BSIM3V3 fornecidos pela MOSIS para as duas tecnologias. Os resultados de simulação são confrontados na tabela 3.1 e Figs. 3.2-3.5, para uma corrente de referência de $I_{ref} = 400\text{pA}$, $N = 1$, $K = 9 \rightarrow x = 2,345$, $S_9 = 1$, $S_2/S_1 = 1,2$ e para $S_4/S_3 = 4$. As dimensões dos transistores do projeto nas tecnologias CMOS AMIS $1.5\mu\text{m}$ e TSMC $0.35\mu\text{m}$, são dadas na tabela 3.1 e 3.2, respectivamente. Visando melhorar a regulação à fonte de alimentação, os transistores $M_{8,9}$ e o espelho de corrente PMOS são implementados usando estruturas trapezoidais, com $M = 5$. Estes podem também ser implementados usando estruturas retangulares que oferecem um melhor casamento entre dispositivos.

Parâmetro	Topologia simples K=9		Topologia simétrica K=1		Unidade
	0.35 μ	1.5 μ	0.35 μ	1.5 μ	
Tecnologia	0.35 μ	1.5 μ	0.35 μ	1.5 μ	
Max{ $V_{TN+} V_{TP} $ }	1.30	1.55	1.30	1.55	V
V_{DDmin}	0.8	1.1	0.8	1.1	V
Potência (V_{DDmin})	1.0	1.65	1.35	2.1	nW
Eficiência I_{ref}/I_{total}	25	25	20	20	%
Sensibilidade de V_{ref} a V_{DD}	+0.55	+0.9	+0.50	+0.70	%/V
Sensibilidade de V_{ref} à Temperatura	+0.30	+0.32	0.30	0.32	%/°C
Sensibilidade de I_{ref} a V_{DD}	+3.1	+4.5	+2.5	+3.5	%/V
Sensibilidade de I_{ref} à Temperatura	+0.060	+0.047	+0.060	+0.047	%/°C
$I_{SQN(P)0.35\mu} = 70(30)nA \quad n=1.2$			$I_{SQN(P)1.5\mu} = 30(10)nA \quad n=1.2$		

Tabela. 3.1. Resumo de resultados de simulação.

A corrente de normalização dos transistores canal-n e canal-p é calculada desde os parâmetros da tecnologia usando a equação (2.5). Neste cálculo, assume-se $n=1,2$ e $\phi_t=26mV$.

Como verificado na tabela anterior, os resultados de simulação são bastante próximos às especificações iniciais do projeto. Os circuitos possuem um consumo de potência ultrabaixo, o qual é eficiente em relação à corrente de saída de aproximadamente 400pA. Além disso, estas topologias são fortes candidatas para polarizar circuitos analógicos CMOS operados à bateria (1.2 V).

Parâmetro	M_1			M_2			M_3			M_4			$M_{5-7(10)}$			M_{8-9}		
W [μm]	4			4			10			4x10			4.(M+1)			10.(M+1)		
L [μm]	18x60			15x60			10			10			16.M			10.M		
Regime	W.I	M.I	S.I	W.I	M.I	S.I	W.I	M.I	S.I	W.I	M.I	S.I	W.I	M.I	S.I	W.I	M.I	S.I
i_f	10.2			3			0.02			0.0025			0.16			0.01		

Tabela. 3.2. Dimensionamento dos transistores da topologia simétrica (AMIS 1.5). (M=5)

Parâmetro	M_1			M_2			M_3			M_4			$M_{5-7(10)}$			M_{8-9}		
W [μm]	2			2			6			4x6			4.(M+1)			6.(M+1)		
L [μm]	6x180			5x180			6			6			10.M			6.M		
Regime	W.I	M.I	S.I	W.I	M.I	S.I	W.I	M.I	S.I	W.I	M.I	S.I	W.I	M.I	S.I	W.I	M.I	S.I
i_f	10.2			3			0.01			0.00125			0.05			0.005		

Tabela. 3.3. Dimensionamento dos transistores da topologia simétrica (TSMC 0.35).(M=8)

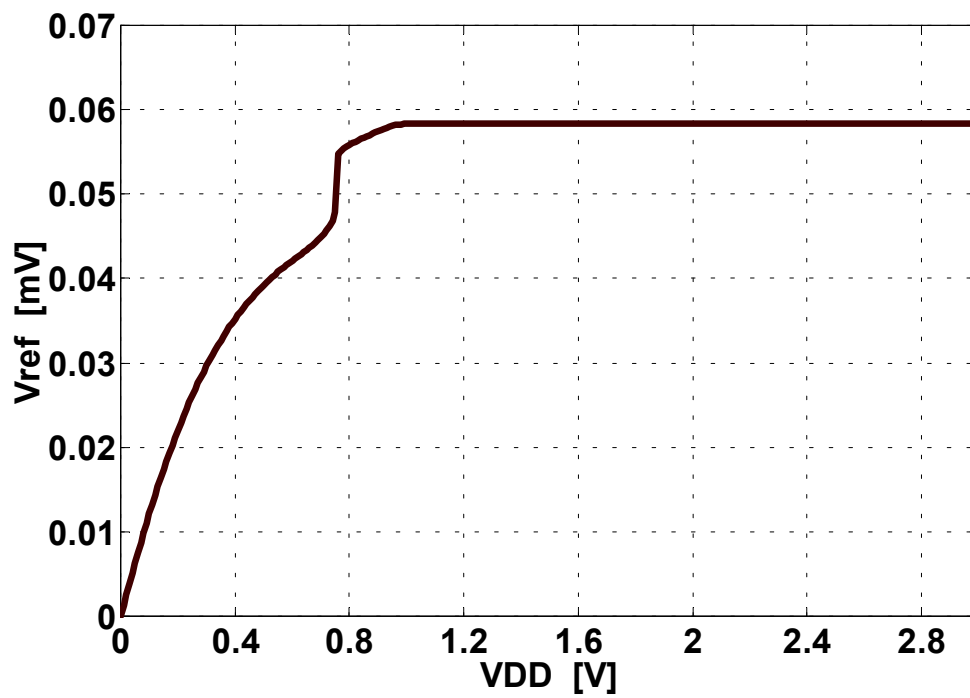


Fig. 3.2. Simulação de Vref versus VDD (AMIS 1.5)

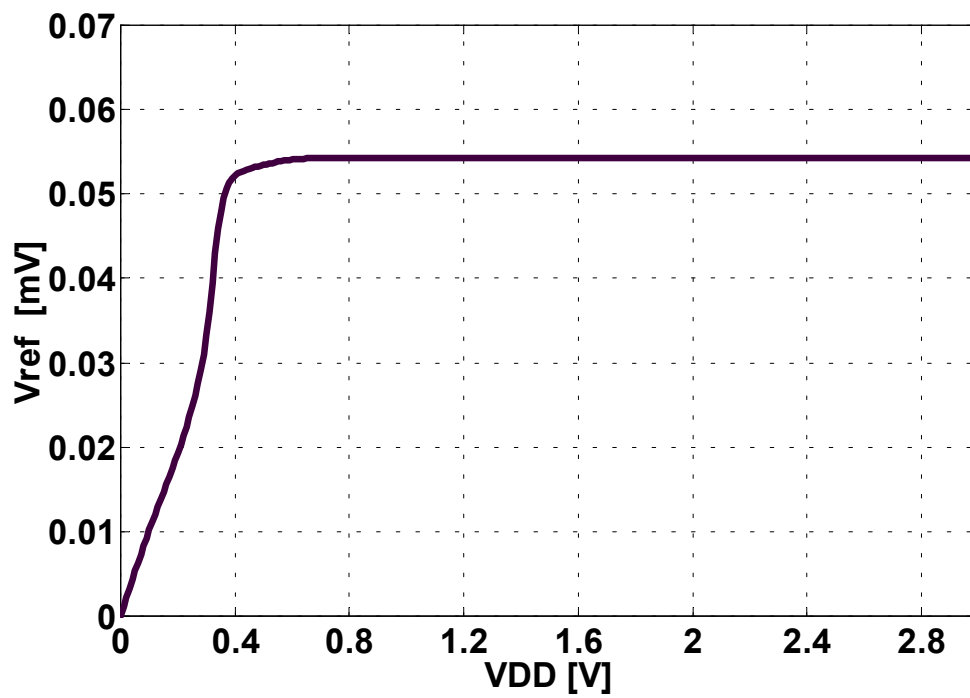


Fig. 3.3. Simulação de Vref versus VDD (TSMC 0.35)

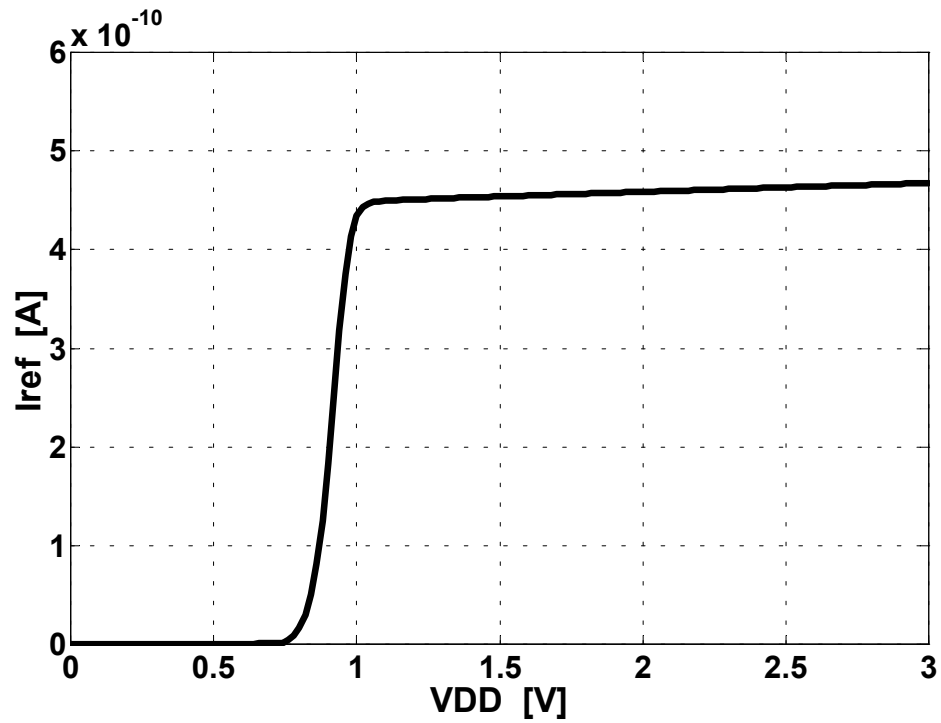


Fig. 3.4. Simulação de I_{ref} versus VDD (AMIS 1.5), (pós-layout).

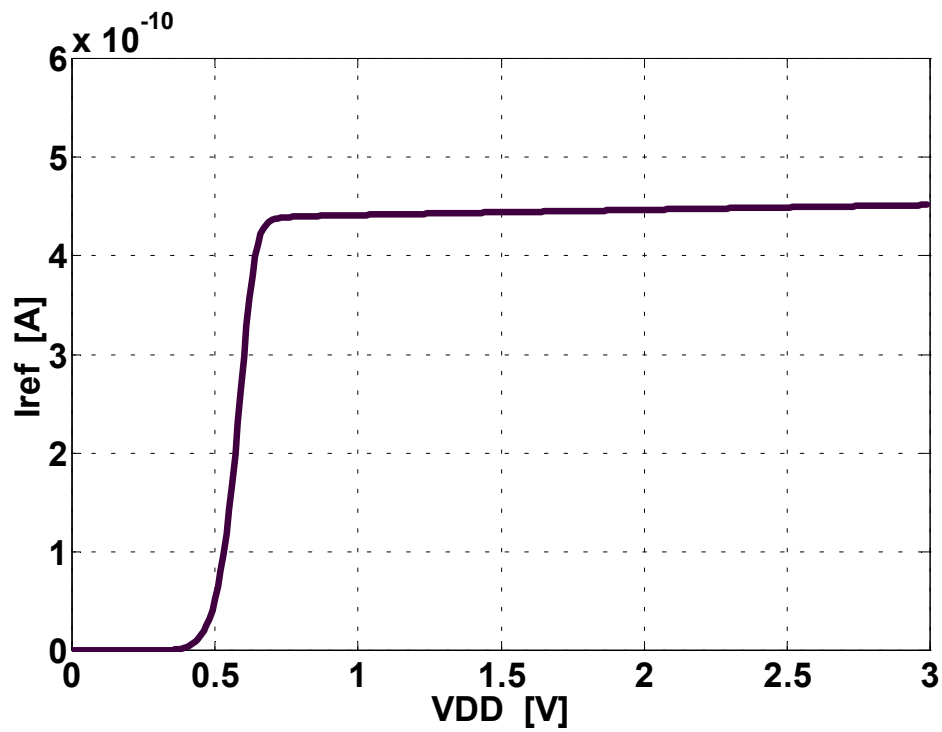


Fig. 3.5. Simulação de I_{ref} versus VDD (TSMC 0.35), (pós-layout).

3.2. Resultados experimentais

Para validar o funcionamento dos circuitos e sua performance, foram integrados os projetos da seção anterior, nas tecnologias CMOS AMIS 1.5 μm e TSMC 0.35 μm . A integração foi realizada através de MOSIS satisfatoriamente, e foram recebidas 5 amostras da tecnologia CMOS de 1.5 μm e 40 da tecnologia de 0.35 μm . Os chips implementados contêm circuitos de teste, com acesso a vários de seus terminais para realizar uma análise do ponto de operação e permitir caracterização de transistores.

A caracterização dos circuitos foi realizada com o analisador de parâmetros HP4145B, para fazer o traçado das curvas (I_{ref}, V_{ref}) versus a tensão de alimentação e o ponto de operação DC. O resumo dos dados experimentais é apresentado na tabela 3.4 e Figs. 3.6-3.9. Estes resultados representam o valor médio de cada parâmetro analisado entre as amostras disponíveis. Em relação à mínima tensão de alimentação, esta foi definida para um PSRR (DC+) maior que 40dB, e o valor da corrente específica é extraída usando (2.19).

Parâmetro	Topologia simples K=9	Topologia simétrica K=1		Unidade
	1.5 μ	0.35 μ	1.5 μ	
Tecnologia	1.5 μ	0.35 μ	1.5 μ	
Max $\{V_{TN}+ V_{TP} \}$	1.52	1.25	1.52	V
V_{Dmin}	1.15	1.05	1.15	V
Potência (V_{DDmin})	1.5	1.7	2.3	nW
Eficiência I_{ref}/I_{total}	25	20	20	%
Sensibilidade de V_{ref} a V_{DD}	+1.6	+0.85	+1.3	%/V
Sensibilidade de I_{ref} a V_{DD}	+8.0	+4.0	+6.0	%/V
$I_{SQN(P)0.35\mu} = 68(30)nA$		$I_{SQN(P)1.5\mu} = 32(12)nA$		

Tabela. 3.4. Resumo de resultados experimentais.

O projeto feito na tecnologia AMIS 1.5 μm ocupa uma área de silício de 200 μm x 230 μm (0.046mm²). Enquanto, para a tecnologia TSMC 0.35 μm a área ocupada é de 134 μm x 196 μm (0.0263mm²), o qual corresponde em uma redução de 1,8 vezes. As microfotografias dos chips fabricados e circuitos testados são ilustradas nas Figs. 3.12-3.15. O layout correspondente é incluído no Apêndice A

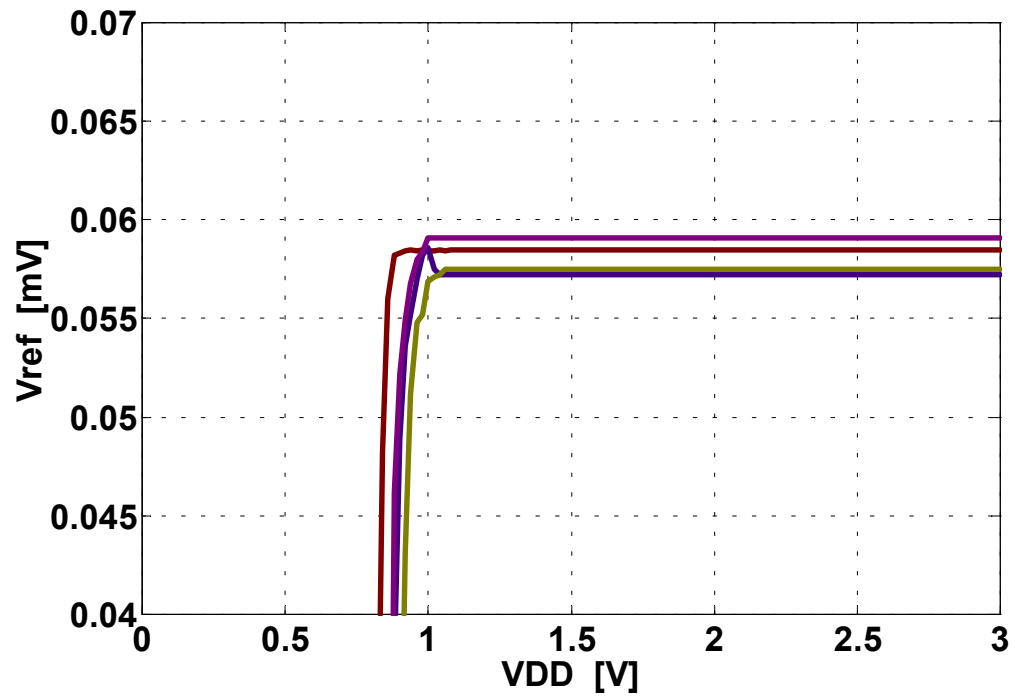


Fig. 3.6. Vref versus VDD (Topologia simétrica AMIS 1.5)

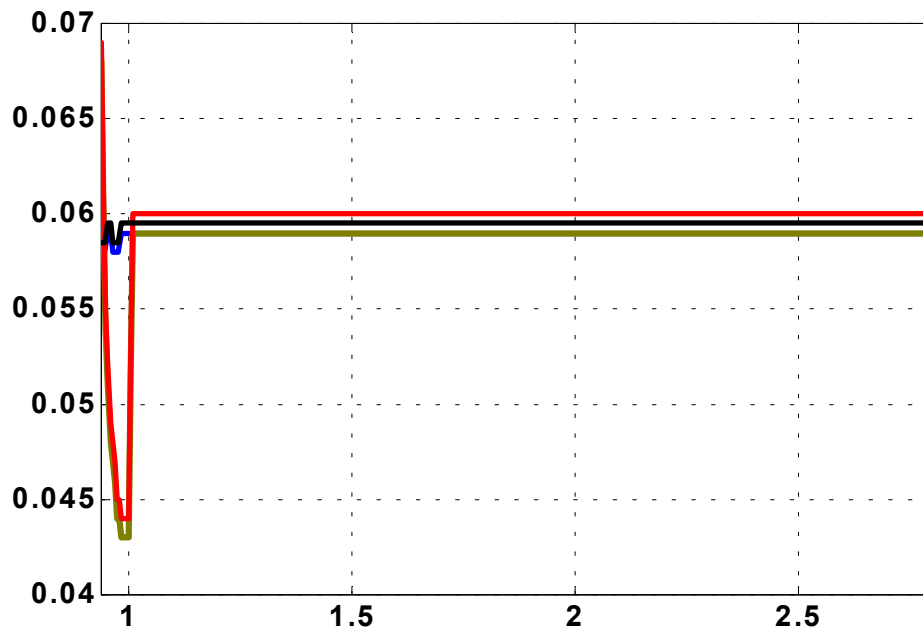


Fig. 3.7. Vref versus VDD (Topologia simétrica TSMC 0.35).

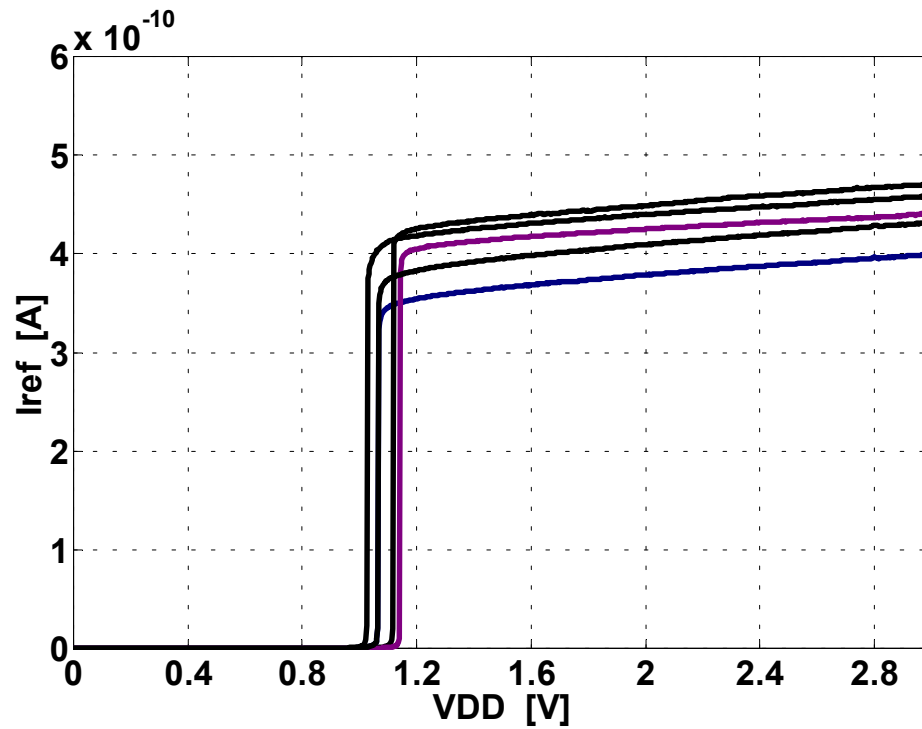


Fig. 3.8. I_{ref} versus VDD (Topologia simétrica AMIS 1.5).

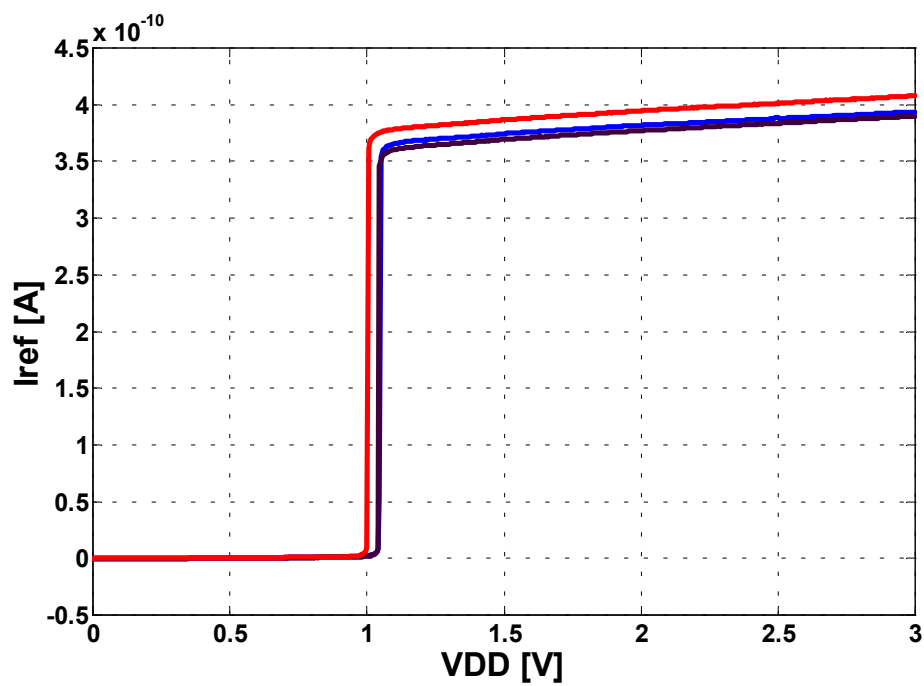


Fig. 3.9. I_{ref} versus VDD (Topologia simétrica TSMC 0.35).

Os resultados anteriores indicam alta correlação entre os dados experimentais, de simulação e analíticos, validando a técnica de gerar correntes na ordem de centenas de pA, com tensão de alimentação ligeiramente menor que a soma de duas tensões de limiar CMOS ($V_{TN}+|V_{TP}|$). As topologias propostas são adequadas para operar com tensões tão baixas ou menores que 1.0 Volt em novas tecnologias submicrométricas.

Para verificar a precisão da referência de corrente é realizada uma análise estatística dos circuitos implementados na tecnologia CMOS TSMC 0.35 μ m. Estes resultados são apresentados nas Figs. 3.10 e 3.11, para 96% das amostras.

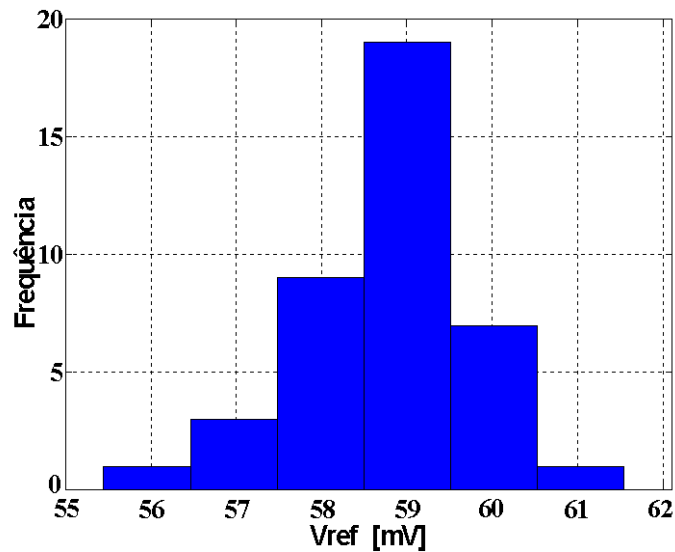


Fig. 3.10. Histograma de V_{ref} com $V_{DD}=1.15V$ (TSMC 0.35).

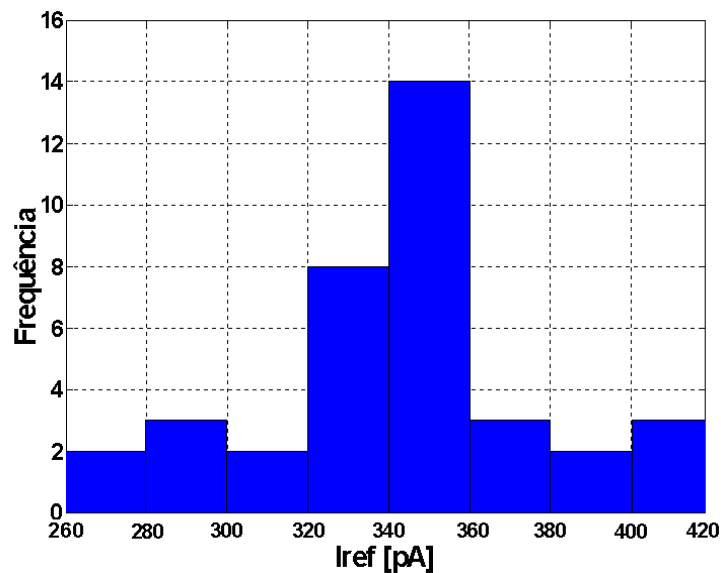


Fig. 3.11. Histograma de I_{ref} com $V_{DD}=1.15V$ (TSMC 0.35).

A corrente de referência apresentou uma variabilidade entre amostras de 36pA com média aritmética de 361pA, correspondendo a um coeficiente de variação de 10%. O valor médio também exibe um afastamento de 10% de seu valor nominal. Com relação à tensão de referência PTAT, esta manifestou um desvio padrão de 1,7%, com respeito a sua média aritmética de 58.77mV. Entretanto, os circuitos fabricados na tecnologia AMIS 1.5 μ m, apresentaram uma média aritmética de 410pA. Estes resultados demonstram a robustez dos circuitos.

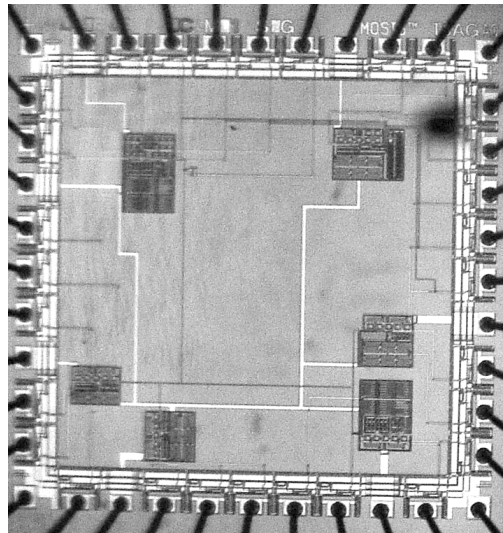


Fig. 3.12. Microfotografia do chip fabricado na tecnologia AMIS 1.5 μ m. (2200 μ m x 2200 μ m)

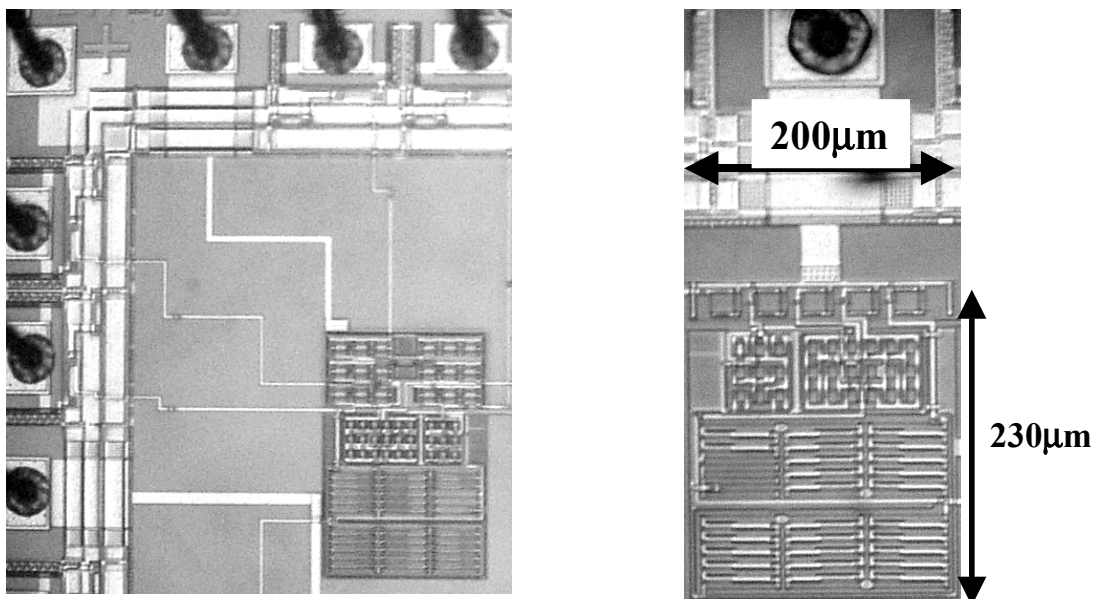


Fig. 3.13. Zoom dos circuitos testados (AMIS 1.5 μ m).

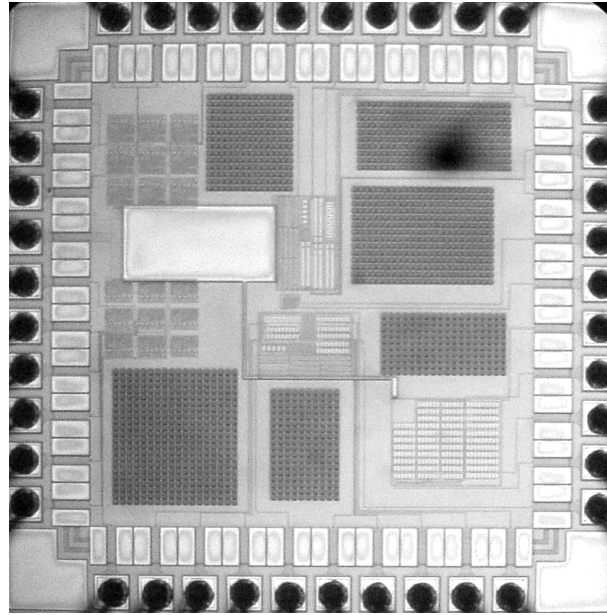


Fig. 3.14. Microfotografia do chip fabricado na tecnologia TSMC 0.35 μm . (1280 μm x 1280 μm)

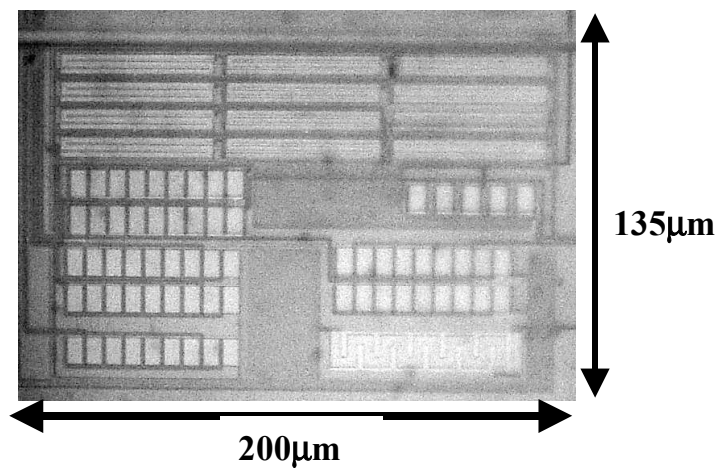


Fig. 3.15. Zoom do circuito testado. (TSMC 0.35 μm).

As semelhanças entre os histogramas da tensão e corrente de referência com coeficiente de correlação de 0,43 indicam que o parâmetro dominante na dispersão da corrente é devido à variação na tensão de referência PTAT. Esta variação na corrente é de aproximadamente 20pA/mV ou 5%/mV. A corrente é afastada desde seu valor nominal por um *offset* de valor médio 1,8mV, na tensão de referência. Este *offset* é originado pelo descasamento entre as tensões de limiar dos transistores M_3 e M_4 , e pelo descasamento entre as correntes da estrutura VFMC. O fator com menor erro inserido na dispersão da corrente foi a corrente específica de $M_{1,2}$, o qual é estimado ser menor que 3% entre as

amostras da mesma rodada. O afastamento da corrente específica desde seu valor de simulação é devido principalmente a variações na mobilidade e C_{ox} , como também à incerteza no valor do fator rampa.

Um aumento na tensão mínima do circuito projetado em TSMC 0.35 foi observado, o qual não é relacionado à metodologia adotada. Este foi devido a um leve incremento nas tensões de limiar no processo de fabricação. Detectamos, posteriormente, um erro de layout na realização dos transistores $M_{1,2}$ (TSMC 0.35) em forma de serpentina que embora não tenha impedido o funcionamento do circuito, impedia que tensões de alimentação da ordem de 0.8V, previstas teoricamente para o funcionamento da fonte de corrente autopolarizada. No caso na tecnologia AMIS 1.5 os resultados do ponto de operação DC são muito próximos dos esperados. Porém, um aumento na regulação da corrente foi obtido, dado pela não adequada modelagem da condutância de saída dos MOSFETs.

Os erros anteriores podem ser reduzidos ainda mais. Para isto, um melhor casamento entre os transistores críticos deve ser empregado. Por exemplo, os transistores com porta comum podem usar uma estrutura centróide, com dimensões não mínimas, para diminuir *offset*. Para o caso do espelho de corrente, é conveniente evitar erros de descasamento globais (*global mismatching*) [19], mantendo os transistores mais próximos. Uma associação série-paralela de um número considerável de transistores pode ser uma boa alternativa. Em relação à corrente específica, é recomendável não usar W mínimo em $M_{1,2}$, para garantir baixa dispersão na corrente.

Capítulo 4

CONCLUSÕES E FUTUROS TRABALHOS

Apresentamos neste trabalho duas novas topologias referências de corrente eficientes em potência, otimizadas para gerar correntes na ordem de centenas de pA com bastante baixa tensão de operação. Sua funcionalidade e performance foram validadas através de simulações e testes experimentais, nas tecnologias CMOS AMIS 1.5 μ m e TSMC 0.35 μ m. Os circuitos apresentaram robustez, com alta correlação entre resultados experimentais, de simulação e analíticos. Uma análise de sensibilidades com verificação experimental é também incluída.

Uma referência de tensão PTAT adicional de ultrabaixo consumo é também disponível, sendo que este tipo de referência possui uma ampla aplicação em projeto de circuitos integrados CMOS.

Os circuitos apresentados são aptos para serem usados em polarização de circuitos CMOS de baixo ou ultrabaixo consumo de potência, operados a bateria. Estes também são potencialmente apropriados para operar com fontes de alimentação a partir de 0.7V em tecnologias CMOS de 0.18 μ m. Além disso, são simples e de fácil projeto

Resultados experimentais mostram que a referência de corrente projetada neste trabalho supera a performance de atuais referências de correntes reportadas na literatura.

Sugere-se, no futuro, verificar sua funcionalidade a variações de temperatura, como também otimizar o projeto para reduzir ainda mais sua regulação com a fonte de alimentação, e introduzir uma análise de *mismatch* e de ruído. Além disso, melhorar o *matching* no layout para reduzir a dispersão da corrente entre amostras e verificar a precisão das estruturas em várias rodadas das tecnologias CMOS já usadas.

De forma satisfatória foram realizadas integrações gratuitas através de MOSIS representando um grande avanço para o desenvolvimento e treinamento de recursos humanos na área de microeletrônica no Brasil.

Apêndice A

LAYOUT DOS CIRCUITOS INTEGRADOS NAS TECNOLOGIAS CMOS AMIS 1.5 μm e TSMC 0.35 μm

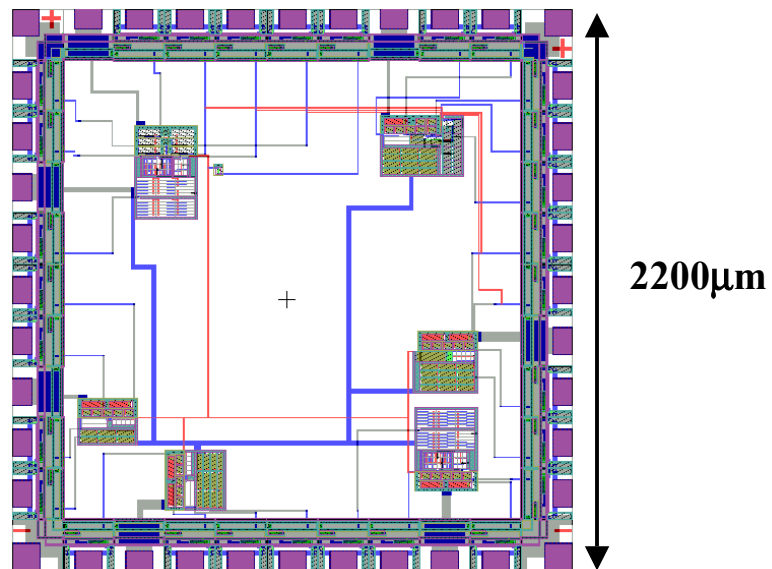


Fig. A.1. Layout do chip fabricada na tecnologia CMOS AMIS 1.5 μm

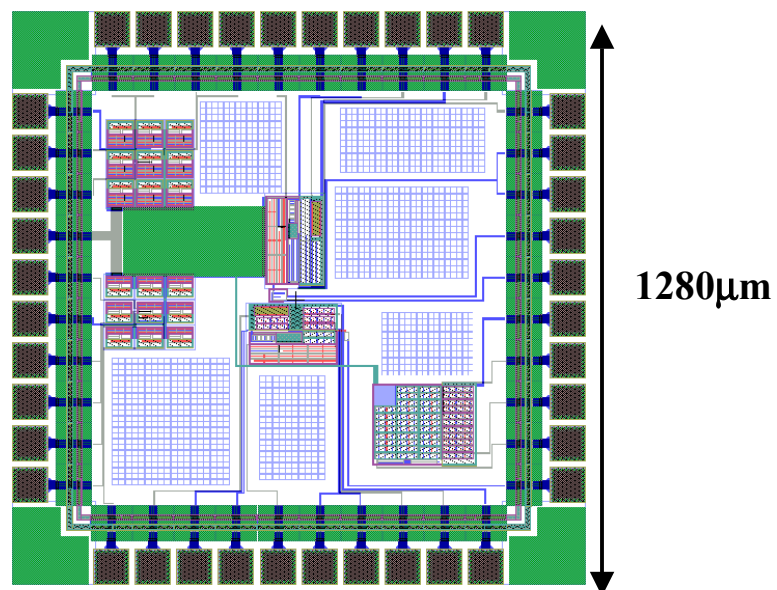


Fig. A.2. Layout do chip fabricada na tecnologia CMOS TSMC 0.35 μm

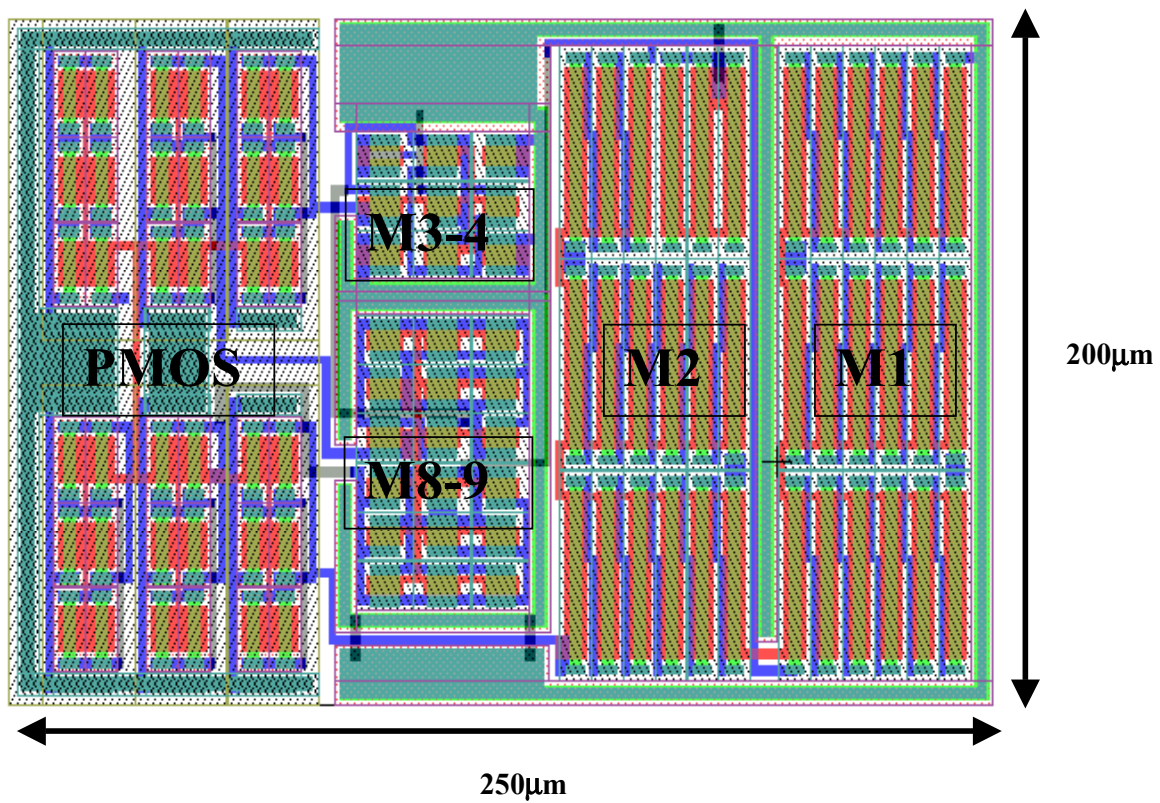


Fig. A.3. SBCS simétrica na tecnologia CMOS AMIS 1.5µm

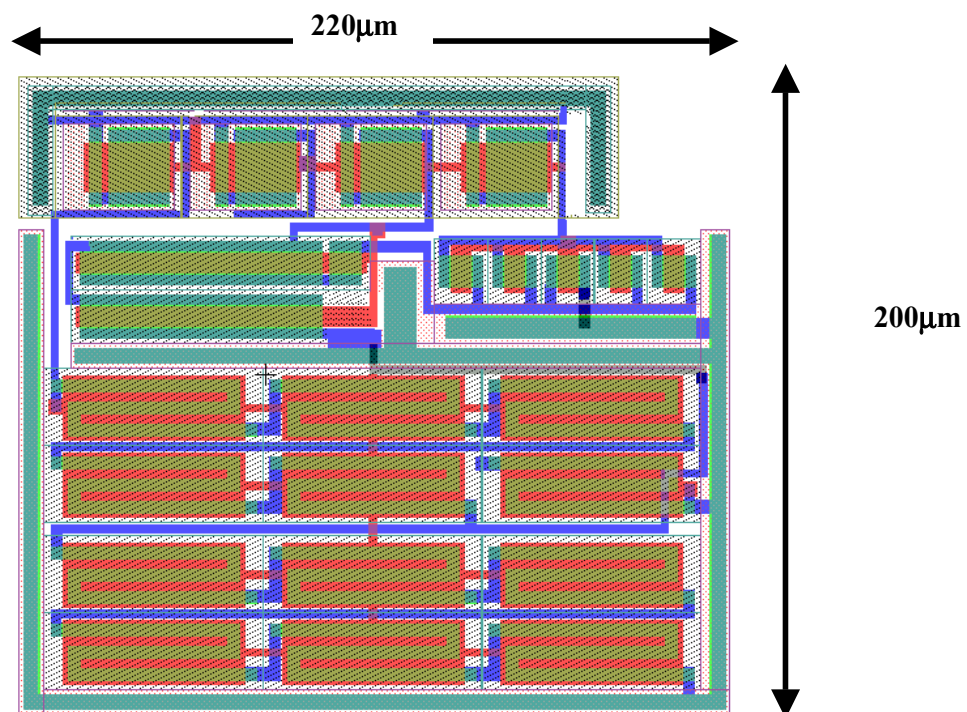


Fig. A.4. SBCS simples na tecnologia CMOS AMIS 1.5µm

d

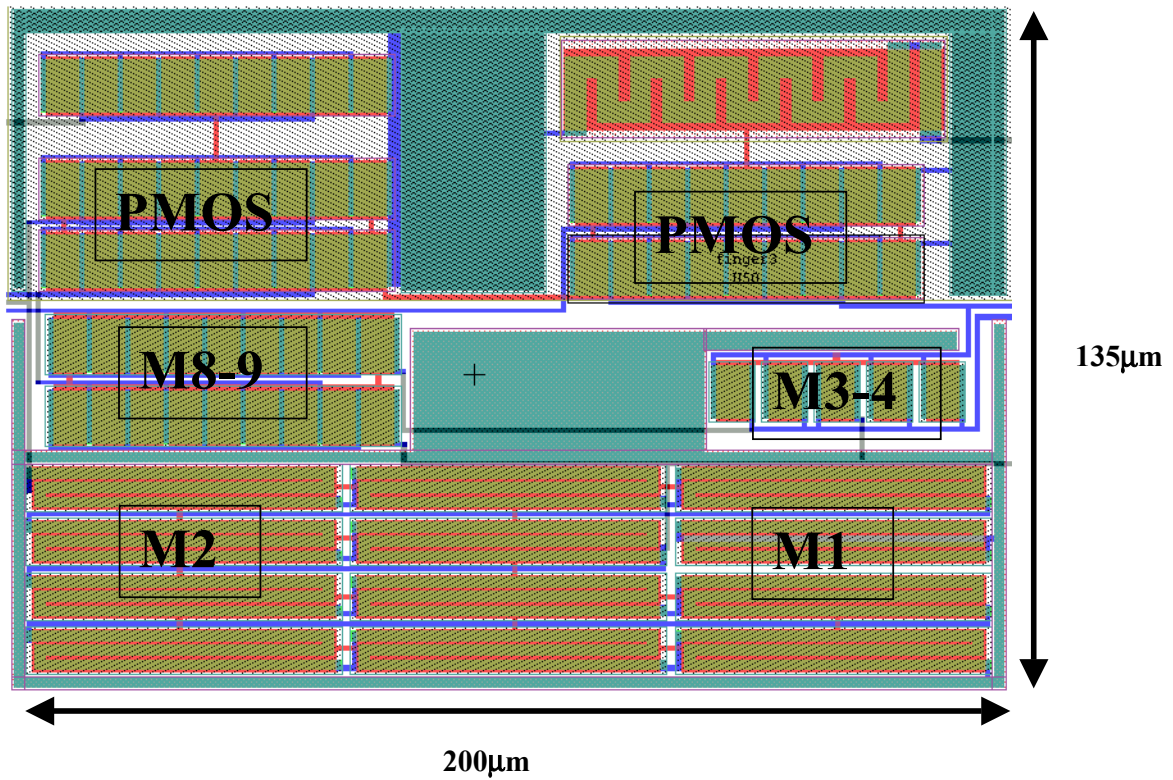


Fig. A.5. SBCS(1) simétrica na tecnologia CMOS TSMC 0.35µm

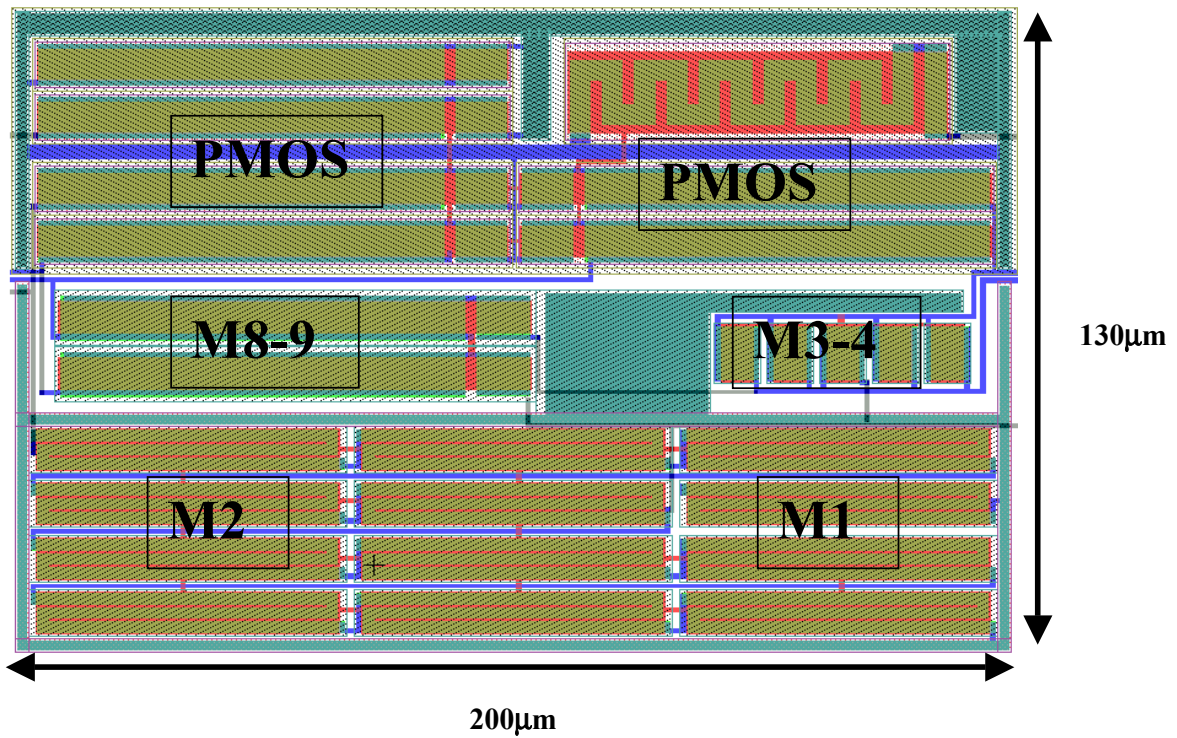


Fig. A.6. SBCS(1) simétrica projetada na tecnologia CMOS TSMC 0.35µm

Apêndice B - Artigo publicado: ISCAS2004

DESIGN OF AN ULTRA-LOW-POWER CURRENT SOURCE

Edgar Mauricio Camacho-Galeano, Carlos Galup-Montoro, and Márcio Cherem Schneider

Departamento de Engenharia Elétrica, Universidade Federal de Santa Catarina, Brazil.

ABSTRACT

This paper presents the design of an ultra low-power self-biased current source. We have designed a 400pA current reference in both 1.5 μm and 0.35 μm CMOS technologies. The association of a very simple topology, an efficient design methodology, and low output conductance trapezoidal transistors has resulted in area of 0.046mm² and power consumption around of 2nW. Experimental results for the 1.5 μm CMOS technology validate the design and show that the current source can operate from supply voltage down to 1.2V with a regulation better than 8%/V of supply voltage.

1. INTRODUCTION

The increasing demand for inexpensive very-low-power portable and implantable medical applications has resulted in the integration of low-voltage CMOS analog circuits compatible with standard VLSI technologies [1], [7]. This tendency has motivated the development of systematic methodologies for analog design. Furthermore, efficient, simple and easy-to-design analog circuit structures are highly desirable [2], [4], [6].

CMOS analog design based on the inversion level technique has been shown to be a robust alternative for high performance in very-low-power [3] and low-voltage circuits [2]. This technique uses the current as the main design variable. Thus, analog circuits based on such a design technique require a self-biased current source (SBCS) to operate at the nominal inversion level. Moreover, the generation of on-chip current references avoids the need for an extra pad to communicate with the external environment.

Several SBCS circuits are found in the literature [4] - [7], but a design methodology for easy reuse or design is not available yet. Our SBCS is based on the circuits proposed in [4], [5], [6], and [7], which have the same current dependence on temperature. Despite the simplicity of the circuit proposed in [4], it uses a resistor that for small currents (pA-nA) consumes a very large silicon area. To avoid the need for a resistor, the authors of [6] use a MOSFET working in the triode region to replace the resistor. Even though simple, the SBCS of [6] is not suitable for low voltage operation, as pointed out in [7]. Another implementation of an SBCS is presented in [5] but the large current gains and operation in strong inversion of some of its transistors degrade its power efficiency. Reference [7] presents another proposal of an SBCS, a less simple structure than the previously mentioned ones. The circuit in [7] uses a self-cascode MOSFET (SCM) in strong inversion and a PTAT voltage reference generated by means of a current ratio. Although appropriate for low voltage operation, the power efficiency of the current source in [7] is not high due to the use of slightly more

complex structures and operation in strong inversion of some transistors.

This paper presents the design of a self-biased current source dedicated to technology-independent inversion level biasing, which is suitable for low-voltage and very low power applications. Our SBCS circuit uses MOSFET's only and can operate down to 1V supply voltage (in sub-0.18 μm technologies this circuit can operate from 0.6V) and exhibits low sensitivity to supply voltage.

In Section 2, the ACM model [8] and the concept of inversion level are summarized. We develop the basic design equations for the SBCS using the ACM model in Section 3. Section 4 introduces the low-voltage CMOS SBCS. The design methodology to obtain the dimensions of the MOSFET's is formulated in Section 5. As a design example, a very low power SBSC is implemented in both 1.5 μm and 0.35 μm CMOS processes and the associated simulation and experimental results are presented in Section 6. Finally, concluding comments are presented in Section 7.

2. THE ACM MODEL

In the design methodology of the self-biased current source, we have employed ACM, a current-mode MOSFET model that uses the concept of inversion level [8]. According to the ACM model, the drain current can be split into the forward (I_F) and reverse (I_R) currents

$$I_D = I_F - I_R = I_S(i_f - i_r) \quad (1)$$

where

$$I_S = I_{SQ} \left(\frac{W}{L} \right) = I_{SQ}(S) \quad (2.a)$$

$$I_{SQ} = \mu C'_{ox} n \frac{\phi_t^2}{2} \quad (2.b)$$

$I_F(I_R)$ depends on gate and source (drain) voltages. In forward saturation, $I_F \gg I_R$; consequently, $I_D \cong I_F = I_S i_f$. I_S is the normalization (specific) current and I_{SQ} is the sheet specific current (I_S for $W=L$), $i_{f(r)}$ is the forward (reverse) inversion level, and μ , n , C'_{ox} , ϕ_t , and $W/L=S$ are the mobility, slope factor, gate oxide capacitance/area, thermal voltage, and the transistor aspect ratio, respectively. The relationship between current and voltage is given [8] by

$$\frac{V_P - V_{S(D)}}{\phi_t} = \sqrt{1 + i_{f(r)}} - 2 + \ln \left(\sqrt{1 + i_{f(r)}} - 1 \right) \quad (3)$$

$$V_p \cong \frac{V_G - V_{T0}}{n} \quad (4)$$

where V_p is the pinch-off voltage and V_{T0} is the zero bias threshold voltage. More details about (1)-(4) can be found in [8].

The self-biased current-source circuit proposed here is an extractor of normalization (specific) current I_{SQ} [5] optimized for low-voltage and very low power applications.

3. DESIGN EQUATIONS FOR SCM AND SBS

The core of the SBCS is the SCM shown in Figure 1. The V-I characteristic of the SCM is very appropriate for building low-voltage analog blocks such as current references and sub-100mV PTAT voltage references [3] – [7].

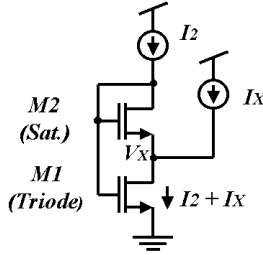


Figure 1. Schematic of the SCM connected in diode configuration ($V_{B1}=V_{B2}=0$).

The design equations (7)-(9) that describe the V-I characteristic of the SCM have been deduced using (1)-(3) and the schematic in Fig. 1. According to (1), the drain currents of M_1 and M_2 can be expressed as functions of the forward and reverse inversion levels

$$I_2 \cong I_{F2} = I_{S2} i_{f2} \quad (5)$$

$$I_{D1} = I_{F1} - I_{R1} = I_{S1}(i_{f1} - i_{r1}) = I_2 + I_x \quad (6)$$

Since $V_{P1}=V_{P2}=V_P$ and $V_{D1}=V_{S2}$, then $i_{r1} = i_{f2}$ [5]; thus, from (5) and (6) we can find the relationship between i_{f1} and i_{f2}

$$i_{f1} = i_{f2} \left[1 + \frac{S_2}{S_1} \left(1 + \frac{I_x}{I_2} \right) \right] \quad (7)$$

with the ratio I_x/I_2 defined by the gain of a PMOS current mirror.

The application of (3) to M_2 results in

$$\frac{V_P - V_x}{\phi_t} + 1 = \left(\sqrt{1 + i_{f2}} - 1 \right) + \ln \left(\sqrt{1 + i_{f2}} - 1 \right) \quad (8)$$

while, for M_1

$$\frac{V_P}{\phi_t} + 1 = \left(\sqrt{1 + i_{f1}} - 1 \right) + \ln \left(\sqrt{1 + i_{f1}} - 1 \right) \quad (9)$$

Equations (7), (8), and (9) with five unknowns (V_P , i_{f1} , i_{f2} , I_x/I_2 and V_x) have been instrumental in the development of the design methodology of the SBCS. If we assume that a voltage generator sets V_x at a given value and a (PMOS) current mirror defines I_x/I_2 , the inversion levels i_{f1} and i_{f2} as well as the currents are readily determined. In the following, we show the implementation of a reference voltage for V_x .

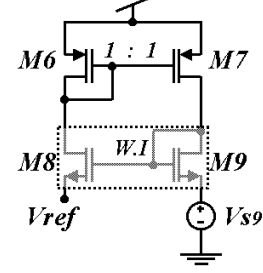


Figure 2. Self-biased structure (SBS)

The self-biased structure in Fig. 2 can be used to generate V_x at the intermediate node of the SCM [4]. The voltage V_{ref} can be calculated using (3) and assuming M_8 - M_9 in weak inversion saturation. Noting that $V_{P8}=V_{P9}$, $I_{D8}=I_{D9}$, and $V_{ref}=V_{S8}$, then

$$V_{ref} = V_{S9} + \phi_t \ln(K) \quad \text{where } K = \frac{S_8}{S_9} \quad (10)$$

In our circuit topology, V_{S9} can be either zero or a PTAT voltage generated by means of a second SCM operating in weak inversion, as shown in Fig. 3. The application of expressions (7-9) to the SCM composed of M_3 and M_4 operating in weak inversion gives

$$V_{S9} = \phi_t \ln \left(1 + 2 \frac{S_4}{S_3} \right) \quad (11)$$

Both PTAT voltage references expressed by (10) and (11) are immune to supply voltage as well as to technological parameters variations as long as the transistors operate in weak inversion. According to expression (11), in weak inversion the SCM can operate as a very-low-voltage PTAT reference, which is independent of current level and technology.

The previous equations and some considerations for design will be used in Section 5 to develop a design methodology appropriate for low voltage and very low power.

4. THE PROPOSED LOW-VOLTAGE SBCS

A simple version of our SBCS circuit is shown in Fig. 3, where V_{S9} can be either zero or $V_{X(W)}$. We propose a simple power efficient SBCS circuit that replaces the resistor of the implementation in [4] with an SCM operating in moderate inversion to achieve the requirements of low current and low voltage operation.

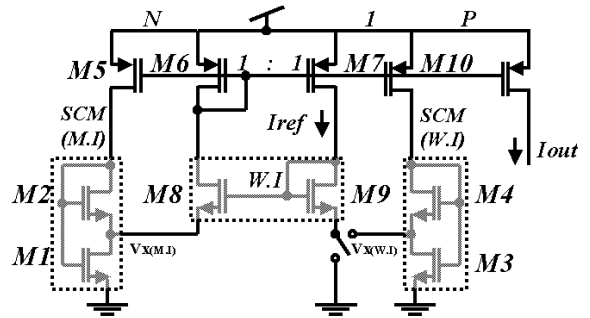


Figure 3. Self-biased current source circuit

When the switch in Fig. 3 is connected to ground, the PTAT voltage reference is produced by an intentional offset ($K \neq 1$ in

Fig. 3) between MOS devices M_8 and M_9 both biased in weak inversion. In this case, the PTAT voltage is given by (10), with $V_{S9}=0$. This circuit simple topology is appropriate for applications where moderate performance is tolerated. Also, this circuit is stable for $K > 1$ and is very accurate for $K \geq 10$ [7].

Another form for implementing the PTAT voltage reference can make use of a second SCM (M_3, M_4) biased in weak inversion and $K=1$; thus, $V_{ref}=V_{S9}$, with V_{S9} given by (11). This second implementation results in improved symmetry and matching of the structure and allows a simple implementation of M_8 - M_9 with trapezoidal transistors [10], which are employed to improve regulation of the current reference without requiring a large silicon area.

5. DESIGN METHODOLOGY

The design specifications of the current reference are usually the minimum supply voltage (V_{DDmin}), power dissipation, silicon area, and sensitivities, in addition to I_{ref} , the value of the current itself.

The design methodology can be based on a maximum power supply or a current reference (I_{ref}) value, and the transistor dimensions are optimized to achieve low voltage operation.

This methodology can be applied to either the simple topology (switch connected to ground), or the symmetric topology (switch connected to node $V_{X(W)}$) in Fig. 3.

The minimum supply voltage, which is determined by the constraints imposed by the two leftmost branches in Fig. 3, can be written as

$$V_{DD} \geq \max\{|V_{DSSat,P}| + V_{GS,M1}, |V_{GS,P}| + V_{DSSat,M8} + V_X\} \quad (12.a)$$

where $V_{DSSat,M8} \cong 100\text{mV}$ since M_8 operates in weak inversion. The p-channel transistors are sized in order to operate in weak inversion, with an inversion level close to 1 or smaller; therefore, $|V_{DSSat,P}| \cong 100\text{mV}$ and $V_{GS,P} \cong V_{TP}$. Since V_X is less than 100 mV, and $M1$ operates in moderate inversion with $V_{GS,M1} \cong V_{TN} + 100\text{mV}$ we can use the first-order approximation

$$V_{DD} \geq \max\{|V_{TP}|, V_{TN}\} + 200\text{mV} \quad (12.b)$$

for the minimum supply voltage. Of course, expression (12.b) is a rough approximation for the minimum supply voltage.

In our design methodology, we have chosen the SCM to operate in moderate inversion with $i_{f2}=3$ or, equivalently, $V_{P2}=V_{X(M,I)}$ (please, see (8)). If $V_{S9}=0$, we can calculate i_{f1} from equation (9) or, equivalently, solve

$$1 + \ln(K) = x + \ln(x) \quad (13)$$

for $x = (\sqrt{1+i_{f1}} - 1)$. Once x has been calculated for a given K , e. g. $K=10$, one can proceed to calculate S_2/S_1 from (7)

$$\frac{S_2}{S_1} = \frac{(x+1)^2 - 4}{3(1+1/N)} \quad \text{and} \quad S_2 = \frac{NI_{ref}}{3I_{SQ}} \quad (14)$$

For a current reference $I_{ref} < I_{SQ}$, $S_9=I$ keeps M_9 in weak inversion and the factor N defines a trade-off between power

consumption and area. The aspect ratio (S_p) of the PMOS transistors M_5 - M_7 (M_{10}) is calculated using (2.a), and a proper choice of the inversion level, usually less than 1 for low voltage applications.

For the design of the symmetric topology we have used the same previous methodology with $K=1$, and S_3, S_4 calculated from (11) for a given V_{S9} .

The sensitivity of the circuit to supply power is associated with the Early effect of M_7 and M_8 . The Early effect can be reduced using long channel lengths that, however, demand large silicon area. One approach to obtaining long channel lengths with moderate area is the trapezoidal transistor proposed in [10].

6. RESULTS

To verify the design methodology and performance of the proposed circuit, the two topologies in Fig. 3 have been designed for both AMS-0.35 μm and AMI-1.5 μm CMOS technologies. A comparison of simulated results is given in Table I, Fig. 4 and Fig. 5 for $I_{ref}=400\text{pA}$, $N=1$, $K=9 \rightarrow x=2.345$, $S_9=1$, $S_2/S_1=1.2$ and for $S_4/S_3=4$. The transistor dimensions for the symmetric topology in AMI-1.5 μm are presented in Table II.

A symmetric SBCS was implemented in a 1.5 μm CMOS technology and occupies an area of 230x200 μm^2 . Simulation and experimental results are compared in Fig. 4(b) and Fig. 5(b). These results validate the design and show that the SBCS can operate from supply voltage slightly lower than $V_{TN}+|V_{TP}|$.

The measured sensitivities of the PTAT reference voltage and of the reference current to V_{DD} are below +0.1%/V and +8%/V, respectively. The average current reference of a five sample set with two different layouts is 410pA with maximum deviation of $\pm 10\%$ at 1.2V of supply voltage.

Table I: Summary of simulation results

Parameter	Simple topology, K=9		Symmetric topology, K=1		Unit
	0.35 μ	1.5 μ	0.35 μ	1.5 μ	
V_{DDmin}	0.7	1.1	0.7	1.1	V
Power (V_{DDmin})	1.0	1.65	1.35	2.1	nW
$V_{PTAT} \text{ PSRR(DC)+}$ at $V_{DD} \geq V_{DDmin}$	>70	>75	>90	>95	dB
Vref sensitivity to V_{DD}	+0.55	+0.87	+0.02	+0.03	%/V
Vref sensitivity to T	+0.3	+0.32	0.3	0.32	%/°C
Iref sensitivity to V_{DD}	+1.2	+2.7	+1.0	+2.5	%/V
Iref sensitivity to T	+0.06	+0.047	+0.06	+0.047	%/°C
$I_{SQN(P)0.35u} = 65(22)\text{nA}$			$I_{SQN(P)1.5u} = 28(10)\text{nA}$		

Table II: Transistor dimensions for the symmetric topology (AMI-1.5 μm).

Parameter	M_1	M_2	M_3	M_4	$M_{5-7(10)}$	M_{8-9}
W [μm]	4	4	10	40	4	10
L [μm]	1080	900	10	10	16	10

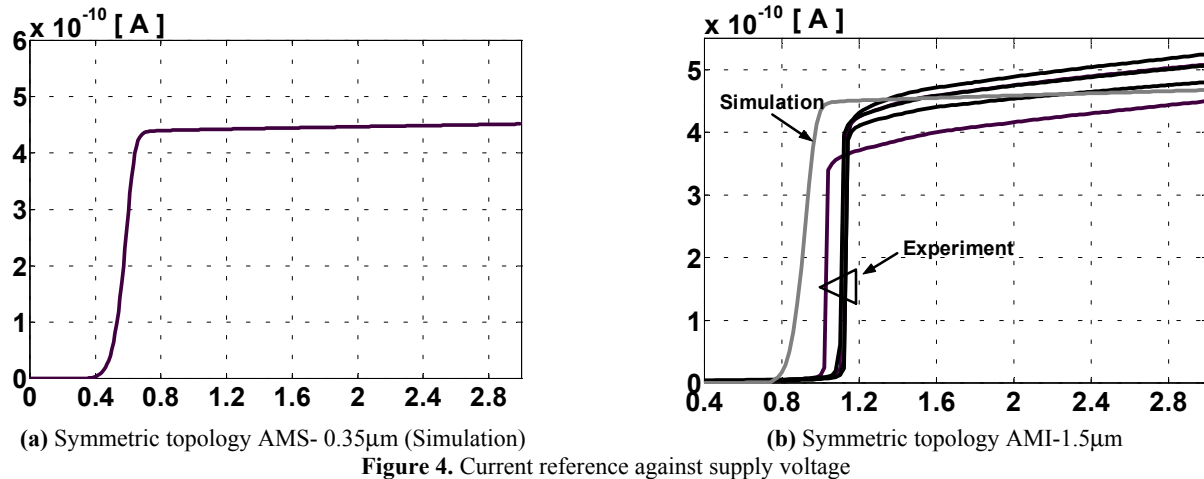


Figure 4. Current reference against supply voltage

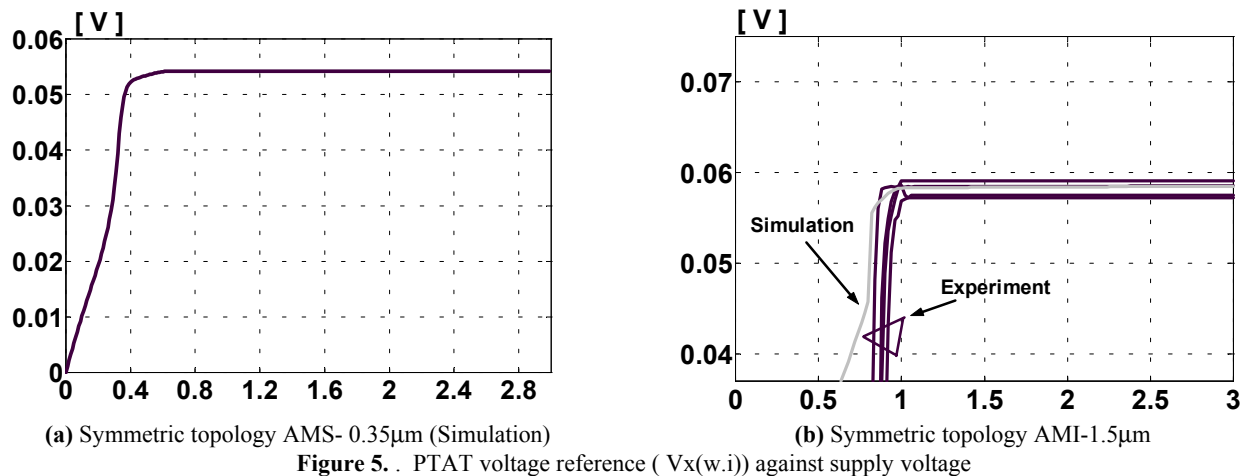


Figure 5. PTAT voltage reference ($V_{x(w.i)}$) against supply voltage

7. CONCLUSIONS

A low-voltage low-power self-biased current-source has been proposed. Design equations based on the ACM model in any inversion level have been provided. The proposed circuits are process-independent and reproducible in any standard CMOS technology. Simulation and experimental results have shown that the self-biased current sources provide low-voltage, ultra-low-power operation and low sensitivity to changes in the supply voltage. The SBCS and design methodology proposed here are especially suited for very-low-power applications.

8. ACKNOWLEDGEMENTS

We thank CNPq, the Brazilian Agency of Science and Technology, for the partial financial support of this work. MOSIS is gratefully acknowledged for providing access to integration.

9. REFERENCES

[1] J.F. Duque-Carrillo et al. VERDI: "An acoustically programmable and adjustable CMOS mixed-mode signal processor for hearing aid applications". *IEEE J. Solid-State Circuits*, vol. 31, no. 5, pp. 634-645, May 1996.

- [2] S. Yan and E. Sánchez-Sinencio, "Low voltage analog circuit design techniques: A tutorial" *IEICE Trans. Fundamentals*, vol. E00-A, No.2, pp. 1-17, February 2000.
- [3] B.Linares-Barranco and T. Serrano-Gotarredona, "On the design and characterization of femtoampere current-mode circuits" *IEEE J. Solid-State Circuits*, vol. 38, pp. 1353-1363, August 2003.
- [4] E. Vittoz and J. Fellrath, "CMOS analog circuits based on weak inversion operation," *IEEE J. Solid-State Circuits*, vol. SC-12, pp. 224-231, June 1977.
- [5] E.A Vittoz and C.C Enz, "CMOS low-power analog circuit design", *Proceedings of the International Symposium of Circuits and Systems (ISCAS'96)*, chapter 1.2 of Tutorials.
- [6] H. J. Oguey and D. Aebischer, "CMOS current reference without resistance," *IEEE J. Solid-state Circuits*, vol. SC-32, pp. 1132-1135, July 1997.
- [7] F. Serra-Graells and J. L. Huertas, "Sub -1-V CMOS proportional-to-absolute temperature references", *IEEE J. Solid-State Circuits*, vol. 38, no. 1, pp. 84-88, January 2003.
- [8] A. I. A. Cunha, M. C. Schneider, and C. Galup-Montoro, "An MOS transistor model for analog circuit design," *IEEE J. Solid-State Circuits*, vol. 33, pp. 1510-1519, Oct. 1998.
- [9] M.J.M.Pelgrom, A.C.J.Duinmaijer and A.P.G.Welbers, "Matching properties of MOS transistors" *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433-1440, October 1989.
- [10] C. Galup-Montoro, M. C. Schneider and I. J. B. Loss, "Series-parallel association of FET's for high gain and high frequency applications", *IEEE J. Solid-State Circuits*, vol. 29, no. 9, pp. 1094-1101, September 1994.

REFERÊNCIAS BIBLIOGRÁFICAS

- [01] J.F. Duque-Carrillo et al. VERDI: “An acoustically programmable and adjustable CMOS mixed-mode signal processor for hearing aid applications”. *IEEE J. Solid-State Circuits*, vol. 31, no. 5, pp. 634-645, May 1996.
- [02] B.Linares-Barranco and T. Serrano-Gotarredona, “On the design and characterization of femtoampere current-mode circuits” *IEEE J. Solid-State Circuits*, vol. 38, pp. 1353-1363, August 2003.
- [03] E. Vittoz and J. Fellrath, “CMOS analog circuits based on weak inversion operation,” *IEEE J. Solid-State Circuits*, vol. SC-12, pp. 224-231, June 1977.
- [04] P. Heim, S. Schultz, and M. A. Jabri, “Technology-independent biasing technique for CMOS analogue micropower implementations of neural networks,” in *Proc. 4th Int. Workshop Cellular Neural Networks and Their Applications (CNNA-95)*, 1995.
- [05] E.A Vittoz and C.C Enz, “CMOS low-power analog circuit design”, *Proceedings of the International Symposium of Circuits and Systems (ISCAS'96)*, chapter 1.2 of Tutorials.
- [06] H. J. Oguey and D. Aebischer, “CMOS current reference without resistance,” *IEEE J. Solid-state Circuits*, vol. SC-32, pp. 1132-1135, July 1997.
- [07] F. Serra-Graells and J. L. Huertas, "Sub -1 -V CMOS proportional-to-absolute temperature references", *IEEE J. Solid-State Circuits*, vol. 38, no. 1, pp. 84-88, January 2003.
- [08] W. M. Sansen *et al.*, “A CMOS temperature-compensated current reference,” *IEEE J. Solid-State Circuits*, vol. SC-23, pp. 821–824, June 1988.
- [09] A. I. A. Cunha, M. C. Schneider, and C. Galup-Montoro, “An MOS transistor model for analog circuit design,” *IEEE J. Solid-State Circuits*, vol. 33, pp. 1510–1519, Oct. 1998.
- [10] S. Yan and E. Sánchez-Sinencio, “Low voltage analog circuit design techniques: A tutorial” *IEICE Trans. Fundamentals*, vol. E00-A, No.2, pp. 1-17, February 2000.

- [11] E. M. Camacho, C. Galup-Montoro and M. C. Schneider, "Design of an ultra low-power current source", *to be published in ISCAS, May 2004*.
- [12] C. Galup-Montoro, M. C. Schneider and I. J. B. Loss, "Series-parallel association of FET's for high gain and high frequency applications", *IEEE J. Solid-State Circuits*, vol. 29, no. 9, pp. 1094-1101, September 1994.
- [13] C. H. Lee and H.J Park, "All-CMOS temperature independent current reference", *Electronics Letters*, 1280-1281, Jul 1996.
- [14] S. Tang, S. Narendra and V. De, "Temperature and process invariant MOS-based reference current generation circuits for sub-1V operation", *ISLPED'03, August, 2003*.
- [15] E. A. Vittoz, "MOS transistors operated in the lateral Bipolar mode and their application in CMOS technology", *IEEE J. Solid-State Circuits*, vol. 18, no. 3, pp. 273-279, June 1983.
- [16] M. G. Degrauwe, O. N. Leuthold, E. A. Vittoz and H. Oguey, "CMOS voltage references using lateral Bipolar transistors", *IEEE J. Solid-State Circuits*, vol. 20, no. 6, pp. 1151-115, June 1985.
- [17] J. Chen, and B. Shi, "New approach to CMOS current reference with low temperature coefficient", *GLSVLSI'03, April 2003*.
- [18] R. Dehghani, and S. M. Atarodi, "A new low voltage precision CMOS current reference with no external components", *IEEE Transactions on Circuits-II: Analog and Digital Signal Processing*, vol. 50, no. 12, pp. 928-932, December 2003.
- [19] M. J. M. Pelgrom, A. C. J. Duinmaijer and A. P. G. Welbers, "Matching properties of MOS transistors" *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433-1440, October 1989.
- [20] B. Gilbert, "Current-mode, voltage-mode, or free mode? A few sage suggestions", *Analog Integrated Circuits and Signal Processing*, vol. 38, pp. 83-101, February 2004.